

DEVICE AND METHOD FOR GENERATING GRAPHIC INFORMATION, IMAGE PROCESSOR, INFORMATION PROCESSOR AND RECORDING MEDIUM

Patent number: JP2001331812

Publication date: 2001-11-30

Inventor: ITO TAKESHI

Applicant: SONY CORP

Classification:

- international: G06F17/17; G06T17/30; G06F17/17; G06T17/30;
(IPC1-7): G06T17/30; G06F17/17

- european:

Application number: JP20000146673 20000518

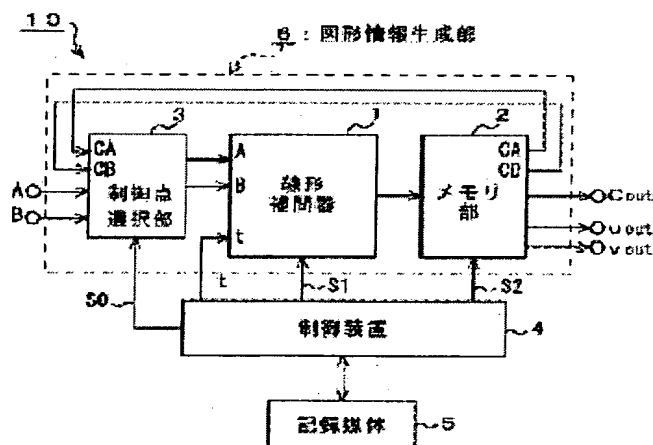
Priority number(s): JP20000146673 20000518

Report a data error here

Abstract of JP2001331812

PROBLEM TO BE SOLVED: To make it possible to generate vertex coordinates values for representing graphics such as n-th order Bezier curve and Bezier curved surface with hardware. **SOLUTION:** When four control points are given in u and v directions in a grid shape and the vertex coordinates values for representing an n-th order curved surface are generated from the grid-like control points, this graphic information generating device is provided with a linear interpolator 1 which sequentially operates $A \times (1-t) + B \times t$ about the coordinates values of a new control point that internally divides a line between control points on the basis of the coordinates values A and B of the control points of prescribed bit width and an interpolation coefficient t having $0 \leq t \leq 1$ with the prescribed bit width. For instance, the coordinates values of a vertex P0 of a 3rd order curved surface graphic is calculated by respectively and sequentially operating $A \times (1-t) + B \times t$ about a part between two respective control points adjoining in the u and v directions to calculate the coordinates values of 3×4 pieces, 2×4 pieces and 2×3 pieces of new control points and finally calculating the coordinates values of 2×2 pieces of new control points.

第1の実施形態としての図形情報生成装置10の構成例



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2001-331812
(P2001-331812A)

(43)公開日 平成13年11月30日 (2001. 11. 30)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
G 0 6 T 17/30		G 0 6 T 17/30	5 B 0 5 6
G 0 6 F 17/17		G 0 6 F 17/17	5 B 0 8 0

審査請求 未請求 請求項の数23 O L (全 30 頁)

(21)出願番号 特願2000-146673(P2000-146673)

(22)出願日 平成12年5月18日(2000. 5. 18)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 伊藤 豪

東京都港区赤坂7-1-1 株式会社ソニー・コンピュータエンタテインメント内

(74)代理人 100090376

弁理士 山口 邦夫 (外1名)

Fターム(参考) 5B056 BB53 HH01 HH03

5B080 AA06 AA11 AA13 DA07 DA08

FA16

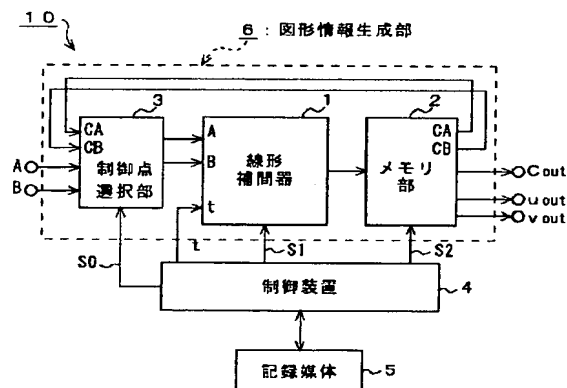
(54)【発明の名称】 図形情報生成装置、画像処理装置、情報処理装置、図形情報生成方法及び記録媒体

(57)【要約】

【課題】 n 次のベジエ曲線やベジエ曲面などの図形を表現する頂点の座標値をハードウェアにより生成できるようにする。

【解決手段】 u 方向に4個の制御点及び v 方向に4個の制御点を格子状に与え、この格子状の制御点から n 次の曲面図形を表現するための頂点の座標値を生成する場合に、所定のビット幅の制御点の座標値 A 、 B と、所定のビット幅で $0 \leq t \leq 1$ の値をとる補間係数 t に基づき、制御点間を内分する新たな制御点の座標値に関して $A \times (1-t) + B \times t$ を順次演算する線形補間器1を備えるものである。例えば、 u 及び v 方向で隣接する各々2つの制御点間についてそれぞれ $A \times (1-t) + B \times t$ を順次演算して 3×4 個、 2×4 個、 2×3 個の新たな制御点の座標値を求め、最終的に 2×2 個の新たな制御点の座標値を求めることにより、3次の曲面図形の頂点 $P0$ の座標値を求めるようになされる。

第1の実施形態としての図形情報生成装置10の構成例



【特許請求の範囲】

【請求項1】 水平方向に $(n+1)$ [ただし、 $n \geq 2$] 個の制御点及び垂直方向に $(n+1)$ 個の制御点を格子状に与え、この格子状の制御点から n 次の曲面図形を表現するための頂点の座標値を生成する装置であって、所定のビット幅の制御点の座標値 A 、 B と、所定のビット幅で $0 \leq t \leq 1$ の値をとる補間係数 t とに基づき、前記制御点間を内分する新たな制御点の座標値に関して $A \times (1-t) + B \times t$ を順次演算する線形補間器を備えることを特徴とする図形情報生成装置。

【請求項2】 前記線形補間器には、浮動小数点又は固定小数点で示される各々の制御点の座標値 A 、 B が与えられることを特徴とする請求項1に記載の図形情報生成装置。

【請求項3】 前記線形補間器は、前記制御点の座標値 A 、 B の指数部の大きい方に桁を合わせる桁合わせ部と、前記桁合わせ部による桁合わせ後の値 A と補間係数 $(1-t)$ とを乗算する第1の乗算器と、前記桁合わせ部による桁合わせ後の値 B と補正係数 t とを乗算する第2の乗算器と、前記第1の乗算器の出力と第2の乗算器の出力とを加算する加算器と、前記加算器の出力を浮動小数点で示される所定のビット幅の座標値に正規化する正規化部とを有することを特徴とする請求項1に記載の図形情報生成装置。

【請求項4】 前記線形補間器は、前記水平方向で隣接する各々2つの制御点間についてそれぞれ $A \times (1-t) + B \times t$ を順次演算して $n \times (n+1)$ 個の新たな制御点の座標値を求め、更に前記水平方向で隣接する新たな各々2つの制御点間についてそれぞれ $A \times (1-t) + B \times t$ を順次演算することにより、最終的に $2 \times (n+1)$ 個の新たな制御点の座標値を求め、その後、前記垂直方向で隣接する各々2つの制御点間についてそれぞれ $A \times (1-t) + B \times t$ を順次演算して $2 \times n$ 個の新たな制御点の座標値を求め、更に前記垂直方向で隣接する新たな各々2つの制御点間についてそれぞれ $A \times (1-t) + B \times t$ を順次演算することにより、最終的に 2×2 個の新たな制御点の座標値を求め、その後、前記水平方向及び垂直方向に関して前記 2×2 個の制御点間について、それぞれ $A \times (1-t) + B \times t$ を順次演算し、前記頂点の座標値を求めることを特徴とする請求項1に記載の図形情報生成装置。

【請求項5】 前記線形補間器は、前記 2×2 個の新たな制御点の座標値から前記頂点の水平方向に接線ベクトル及び垂直方向に接線ベクトルを抽出し、前記水平方向及び垂直方向に接線ベクトルに基づいて前記頂点における法線ベクトルを求めることを特徴とする

請求項1に記載の図形情報生成装置。

【請求項6】 水平方向に $(n+1)$ [ただし、 $n \geq 2$] 個の制御点及び垂直方向に $(n+1)$ 個の制御点を格子状に与え、この格子状の制御点から生成された n 次の曲面図形を画像処理する装置であって、前記制御点の座標値を記憶する記憶装置と、前記記憶装置から読み出した制御点の座標値に基づいて前記 n 次の曲線図形及び曲面図形を表現するための頂点の座標値を生成する図形情報生成装置とを備え、

10 前記図形情報生成装置は、所定のビット幅の制御点の座標値 A 、 B と、所定のビット幅で $0 \leq t \leq 1$ の値をとる補間係数 t とに基づき、前記制御点間を内分する新たな制御点の座標値に関して $A \times (1-t) + B \times t$ を順次演算する線形補間器を有することを特徴とする画像処理装置。

【請求項7】 前記線形補間器には、浮動小数点又は固定小数点で示される各々の制御点の座標値 A 、 B が与えられることを特徴とする請求項6に記載の画像処理装置。

【請求項8】 前記線形補間器は、前記制御点の座標値 A 、 B の指数部の大きい方に桁を合わせる桁合わせ部と、前記桁合わせ部による桁合わせ後の値 A と補間係数 $(1-t)$ とを乗算する第1の乗算器と、前記桁合わせ部による桁合わせ後の値 B と補正係数 t とを乗算する第2の乗算器と、前記第1の乗算器の出力と第2の乗算器の出力とを加算する加算器と、前記加算器の出力を浮動小数点で示される所定のビット幅の座標値に正規化する正規化部とを有することを特徴とする請求項6に記載の画像処理装置。

【請求項9】 前記線形補間器は、前記水平方向で隣接する各々2つの制御点間についてそれぞれ $A \times (1-t) + B \times t$ を順次演算して $n \times (n+1)$ 個の新たな制御点の座標値を求め、更に前記水平方向で隣接する新たな各々2つの制御点間についてそれぞれ $A \times (1-t) + B \times t$ を順次演算することにより、最終的に $2 \times (n+1)$ 個の新たな制御点の座標値を求め、

40 その後、前記垂直方向で隣接する各々2つの制御点間についてそれぞれ $A \times (1-t) + B \times t$ を順次演算して $2 \times n$ 個の新たな制御点の座標値を求め、更に前記垂直方向で隣接する新たな各々2つの制御点間についてそれぞれ $A \times (1-t) + B \times t$ を順次演算することにより、最終的に 2×2 個の新たな制御点の座標値を求め、その後、前記水平方向及び垂直方向に関して前記 2×2 個の制御点間について、それぞれ $A \times (1-t) + B \times t$ を順次演算し、前記頂点の座標値を求めることを特徴とする請求項6に記載の画像処理装置。

50 【請求項10】 前記線形補間器は、

前記 2×2 個の新たな制御点の座標値から前記頂点の水平方向に接線ベクトル及び垂直方向に接線ベクトルを抽出し、

前記水平方向及び垂直方向に接線ベクトルに基づいて前記頂点における法線ベクトルを求めることを特徴とする請求項6に記載の画像処理装置。

【請求項11】 水平方向に $(n+1)$ [ただし、 $n \geq 2$] 個の制御点及び垂直方向に $(n+1)$ 個の制御点を格子状に与え、この格子状の制御点から生成された n 次の曲面図形を外部からの操作情報に基づいて情報処理

をする装置であって、

前記制御点の座標値を記憶する記憶装置と、

前記記憶装置から読み出した制御点の座標値に基づいて

前記 n 次の曲面図形を画像処理する画像処理装置と、

前記画像処理装置を制御するための操作情報を入力する

ように操作される操作部と、

前記操作部による操作情報に基づいて前記記憶装置から

読み出した曲面図形を変化させるように表示制御する制

御装置とを備え、

前記画像処理装置は、

所定のビット幅の制御点の座標値 A 、 B と、所定のビッ

ト幅で $0 \leq t \leq 1$ の値をとる補間係数 $(1-t)$ とに基づ

き、前記制御点間を内分する新たな制御点の座標値に

関して $A \times (1-t) + B \times t$ を順次演算する線形補間

器を有することを特徴とする情報処理装置。

【請求項12】 前記制御点の座標値 A 、 B は各々浮動

小数点又は固定小数点で与えられることを特徴とする請

求項11に記載の情報処理装置。

【請求項13】 前記線形補間器は、

前記制御点の座標値 A 、 B の指数部の大きい方に桁を合

わせる桁合わせ部と、

前記桁合わせ部による桁合わせ後の値 A と補間係数 $(1-$

$t)$ とを乗算する第1の乗算器と、

前記桁合わせ部による桁合わせ後の値 B と補正係数 t と

を乗算する第2の乗算器と、

前記第1の乗算器の出力と第2の乗算器の出力とを加算

する加算器と、

前記加算器の出力を浮動小数点で示される所定のビット

幅の座標値に正規化する正規化部とを有することを特徴

とする請求項11に記載の情報処理装置。

【請求項14】 前記線形補間器は、

前記水平方向で隣接する各々2つの制御点間についてそ

れぞれ $A \times (1-t) + B \times t$ を順次演算して $n \times (n$

$+1)$ 個の新たな制御点の座標値を求め、更に前記水平

方向で隣接する新たな各々2つの制御点間についてそ

れぞれ $A \times (1-t) + B \times t$ を順次演算することによ

り、最終的に $2 \times (n+1)$ 個の新たな制御点の座標値

を求め、

その後、前記垂直方向で隣接する各々2つの制御点間

についてそれぞれ $A \times (1-t) + B \times t$ を順次演算して

$2 \times n$ 個の新たな制御点の座標値を求め、更に前記垂直方向で隣接する新たな各々2つの制御点間についてそれぞれ $A \times (1-t) + B \times t$ を順次演算することにより、最終的に 2×2 個の新たな制御点の座標値を求め、その後、前記水平方向及び垂直方向に関して前記 2×2 個の制御点間について、それぞれ $A \times (1-t) + B \times t$ を順次演算し、前記頂点の座標値を求めることを特徴とする請求項11に記載の情報処理装置。

【請求項15】 前記線形補間器は、
前記 2×2 個の新たな制御点の座標値から前記頂点の水平方向に接線ベクトル及び垂直方向に接線ベクトルを抽出し、

前記水平方向及び垂直方向に接線ベクトルに基づいて前記頂点における法線ベクトルを求めることを特徴とする請求項11に記載の情報処理装置。

【請求項16】 水平方向に $(n+1)$ [ただし、 $n \geq 2$] 個の制御点及び垂直方向に $(n+1)$ 個の制御点を格子状に与え、この格子状の制御点から n 次の曲面図形を表現するための頂点の座標値を生成する方法であ

って、

所定のビット幅の $(n+1) \times (n+1)$ 個の制御点の

座標値を入力すると共に、所定のビット幅で $0 \leq t \leq 1$

の値をとる補間係数 $(1-t)$ を入力し、

隣接する各々2つの前記制御点の座標値を A 、 B とした

とき、

前記水平方向で隣接する各々2つの制御点間について、

それぞれ $A \times (1-t) + B \times t$ を順次演算して $n \times$

$(n+1)$ 個の新たな制御点の座標値を求め、更に前記

水平方向で隣接する新たな各々2つの制御点間について

それぞれ $A \times (1-t) + B \times t$ を順次演算することによ

り、最終的に $2 \times (n+1)$ 個の新たな制御点の座標

値を求め、

その後、前記垂直方向で隣接する各々2つの制御点間

についてそれぞれ $A \times (1-t) + B \times t$ を順次演算して

$2 \times n$ 個の新たな制御点の座標値を求め、更に前記垂直

方向で隣接する新たな各々2つの制御点間についてそ

れぞれ $A \times (1-t) + B \times t$ を順次演算することによ

り、最終的に 2×2 個の新たな制御点の座標値を求め、

その後、前記水平方向及び垂直方向に関して前記 2×2

個の制御点間について、それぞれ $A \times (1-t) + B \times$

t を順次演算し、前記頂点の座標値を求めることを特徴

とする図形情報生成方法。

【請求項17】 前記制御点の座標値 A 、 B は各々浮動

小数点又は固定小数点で与えられることを特徴とする請

求項16に記載の図形情報生成方法。

【請求項18】 前記制御点の座標値 A 、 B が各々浮動

小数点で与えられる場合であって、

前記制御点の座標値 A 、 B の指数部の大きい方に桁を合

わせ、

桁合わせ後の座標値 A と補間係数 $(1-t)$ とを乗算す

と共に、桁合わせ後の座標値Bと係数tとを乗算し、その後、乗算結果を加算した後の加算値を浮動小数点で示される所定のビット幅の座標値に正規化することを特徴とする請求項16に記載の図形情報生成方法。

【請求項19】 前記頂点の座標値を求める際に、前記2×2個の新たな制御点の座標値から前記頂点の水平方向に接線ベクトル及び垂直方向に接線ベクトルを抽出し、前記水平方向及び垂直方向に接線ベクトルに基づいて前記頂点における法線ベクトルを求めることを特徴とする請求項16に記載の図形情報生成方法。

【請求項20】 水平方向に(n+1)[ただし、n≥2]個の制御点及び垂直方向に(n+1)個の制御点を格子状に与え、この格子状の制御点からn次の曲面図形を表現するための頂点の座標値を生成する制御手順を記録した記録媒体であって、前記記録媒体には、

少なくとも、所定のビット幅の(n+1)×(n+1)個の制御点の座標値を入力すると共に、所定のビット幅で $0 \leq t \leq 1$ の値をとる補間係数(1-t)を入力し、隣接する各々2つの前記制御点の座標値をA、Bとしたとき、

前記水平方向で隣接する各々2つの制御点間について、それぞれ $A \times (1-t) + B \times t$ を順次演算してn×(n+1)個の新たな制御点の座標値を求め、更に前記水平方向で隣接する新たな各々2つの制御点間についてそれぞれ $A \times (1-t) + B \times t$ を順次演算することにより、最終的に2×(n+1)個の新たな制御点の座標値を求め、

その後、前記垂直方向で隣接する各々2つの制御点間についてそれぞれ $A \times (1-t) + B \times t$ を順次演算して2×n個の新たな制御点の座標値を求め、更に前記垂直方向で隣接する新たな各々2つの制御点間についてそれぞれ $A \times (1-t) + B \times t$ を順次演算することにより、最終的に2×2個の新たな制御点の座標値を求め、その後、前記水平方向及び垂直方向に関して前記2×2個の制御点間について、それぞれ $A \times (1-t) + B \times t$ を順次演算し、前記頂点の座標値を求めるような制御手順が記録されることを特徴とする記録媒体。

【請求項21】 前記制御点の座標値A、Bは各々浮動小数点又は固定小数点で与えられることを特徴とする請求項20に記載の記録媒体。

【請求項22】 前記制御点の座標値A、Bが各々浮動小数点で与えられる場合であって、前記記録媒体には、前記制御点の座標値A、Bの指数部の大きい方に桁を合わせ、

桁合わせ後の座標値Aと補間係数(1-t)とを乗算すると共に、桁合わせ後の座標値Bと補正係数tとを乗算し、その後、乗算結果を加算した後の加算値を浮動小数

点で示される所定のビット幅の座標値に正規化するような制御手順が記録されることを特徴とする請求項21に記載の記録媒体。

【請求項23】 前記記録媒体には、前記頂点の座標値を求めるに当たって、前記2×2個の新たな制御点の座標値から前記頂点の水平方向に接線ベクトル及び垂直方向に接線ベクトルを抽出し、前記水平方向及び垂直方向に接線ベクトルに基づいて前記頂点における法線ベクトルを求めるような制御手順が記録されることを特徴とする請求項20に記載の記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、n次のベジエ曲線やベジエ曲面などの図形情報を取り扱うCAD及びCAMシステムを導入したエンタテインメント装置や、携帯用ゲーム機、携帯端末装置、携帯電話機などに適用して好適な図形情報生成装置、画像処理装置、情報処理装置、図形情報生成方法及び記録媒体に関するものである。

【0002】

【従来の技術】近年の情報処理分野ではCAD(computer aided drawing)システムやCAM(computer aided manufacturing)システムなどを利用した画像処理装置や情報処理装置などが多くなってきた。この種の処理装置では、自由曲線や自由曲面をそれぞれ作成するための表現方法としてベジエ(Bezier)曲線やベジエ曲面が利用される場合が多い。

【0003】このベジエ曲線の場合、周知のように(n+1)個の制御点を与えることによって作成された曲線は、n次のベジエ曲線と言われる。また(n+1)×(n+1)個の制御点を与えることによって作成された曲面は、n次ベジエ曲面と言われる。このうちベジエ曲線は制御の容易性などから3次ベジエ曲線が利用されることが多い。ベジエ曲面も同様の理由から(4×4)個の制御点で表現される3次ベジエ曲面が多用されている。

【0004】図29及び図30は従来例に係る3次ベジエ曲線の例(その1、2)を示す図である。図29に示す3次ベジエ曲線は4つの制御点p0～p3の座標値を用いて自由曲線を表現するものである。4つの制御点p0～p3が与えられたとき、パラメータ(影響パラメータ; $0 \leq t \leq 1$) tを与えておくことによって一義的にベジエ曲線Rが決定される。3次ベジエ曲線は次式で表される。

【0005】 $R(t) = (1-t)^3 p_0 + 3t(1-t)^2 p_1 + 3t^2(1-t)p_2 + t^3 p_3$

ここに、制御点p0～p3は何れも位置ベクトルであり、位置座標(x, y, z)の成分を有している。制御

点 $p_0 \sim p_3$ のうち曲線が通過する点 p_0 や p_3 は端点(通過点)と呼称され、その他の制御点 p_1 や p_2 は内部制御点と呼称される場合がある。

【0006】そして、図30に示すように複数の端点、例えば $p_0 \sim p_6$ を与えることによって、滑らかな自由曲線を作成することができる。2つの端点によって形成される最少構成要素の曲線をセグメントといい、 $(n+1) \times (n+1)$ 個の制御点を与えることによって作成された最少構成要素の曲面(矩形)をパッチという。

【0007】図31は (4×4) 個の制御点によって構成されるパッチPBの具体例を示している。複数のパッチを連ねると、図32に示すような3次のベジエ曲面を形成することができる。このような3次のベジエ曲面を取り扱う情報処理装置では、例えば、図32に示すZ方向に曲面を変化させるような画像処理が施される。この画像処理によって、3次のベジエ曲面を自由に変形することができる。

【0008】

【発明が解決しようとする課題】ところで、従来方式のデスクトップ型やノート型といった大型の情報処理装置によれば、自由曲線や曲面を表現するときに、浮動小数点の積算器と加算器とを用いて3次のベジエ曲線やベジエ曲面の頂点の座標値計算などを行っていた。

【0009】しかしながら、この種の積算器は非常に回路規模が大きいものであり、これを携帯電話機や、携帯用のゲーム機などに適用しようとした場合に、チップサイズの増大から携帯端末装置のコンパクト化の妨げとなったり、そのコストアップを招くことになる。従って、携帯端末装置で3次のベジエ曲線やベジエ曲面の頂点の座標値を処理しようとした場合にソフトウェアに頼わざるを得なくなるが、その場合に、演算速度が遅くなって十分な性能を得ることができないという問題がある。

【0010】また、従来方式のハードウェアによる方式では、光源計算などのライティング処理に必要な頂点の法線ベクトルに関して、一度生成された頂点の座標値を再び使用して計算し直すので、正確な法線ベクトルを算出することが困難になったり、無断な演算時間が増加し、引いては全体の情報処理の高速化の妨げとなるという問題がある。

【0011】そこで、この発明はこのような従来の課題を解決したもので、 n 次のベジエ曲線やベジエ曲面などの図形を表現する場合に、ソフトウェアに依存することなく、これらの図形を表現する頂点の座標値をハードウェアにより生成できるようにした図形情報生成装置、画像処理装置、情報処理装置、図形情報生成方法及び記録媒体などを提供するものである。

【0012】

【課題を解決するための手段】上述した課題は、水平方向に $(n+1)$ [ただし、 $n \geq 2$]個の制御点及び垂直方向に $(n+1)$ 個の制御点を格子状に与え、この格子状

の制御点から n 次の曲面図形を表現するための頂点の座標値を生成する装置であって、所定のビット幅の制御点の座標値 A 、 B と、所定のビット幅で $0 \leq t \leq 1$ の値をとる補間係数 t とに基づき、制御点間を内分する新たな制御点の座標値に関して $A \times (1-t) + B \times t$ を順次演算する線形補間器を備えることを特徴とする図形情報生成装置によって解決される。

【0013】本発明に係る図形情報生成装置によれば、水平方向に $(n+1)$ 個の制御点及び垂直方向に $(n+1)$ 個の制御点を格子状に与え、この格子状の制御点から n 次の曲面図形を表現する場合に、例えば、各々浮動小数点で示される所定のビット幅の $(n+1) \times (n+1)$ 個の制御点の座標値と、所定のビット幅で $0 \leq t \leq 1$ の値をとる補間係数 t とを線形補間器に入力すると、この線形補間器では、隣接する各々2つの制御点の座標値を A 、 B としたとき、この水平方向で隣接する各々2つの制御点間について、それぞれ $A \times (1-t) + B \times t$ を順次演算して $n \times (n+1)$ 個の新たな制御点の座標値を求め、更に水平方向で隣接する新たな各々2つの制御点間についてそれぞれ $A \times (1-t) + B \times t$ を順次演算することにより、最終的に $2 \times (n+1)$ 個の新たな制御点の座標値を求め、その後、垂直方向で隣接する各々2つの制御点間についてそれぞれ $A \times (1-t) + B \times t$ を順次演算して $2 \times n$ 個の新たな制御点の座標値を求め、更に垂直方向で隣接する新たな各々2つの制御点間についてそれぞれ $A \times (1-t) + B \times t$ を順次演算することにより、最終的に 2×2 個の新たな制御点の座標値を求め、その後、水平方向及び垂直方向に関して 2×2 個の制御点間について、それぞれ $A \times (1-t) + B \times t$ を順次演算し、頂点の座標値を求めるようになされる。

【0014】従って、ソフトウェアに依存するところを少なくすることができ、 n 次のベジエ曲線やベジエ曲面を表現する上位所定ビット幅の頂点の座標値をハードウェアにより高速に得ることができる。しかも、 2×2 個の新たな制御点の座標値から頂点の接線ベクトルを抽出することにより、ライティング処理に必要な法線ベクトルを生成することができる。

【0015】また、桁合わせ部、乗算器、加算器及び正規化部といった小規模な回路構成によって線形補間器を実現できるので、高性能かつ低消費電力動作が可能な図形情報生成装置を提供することができる。これにより、当該図形情報生成装置をベジエ曲面などの画像処理を行う画像処理装置、特に消費電力が制限される携帯端末装置などの情報処理装置に十分応用することができる。

【0016】本発明に係る画像処理装置は、水平方向に $(n+1)$ [ただし、 $n \geq 2$]個の制御点及び垂直方向に $(n+1)$ 個の制御点を格子状に与え、この格子状の制御点から生成された n 次の曲面図形を画像処理する装置であって、これらの制御点の座標値を記憶する記憶装置

と、この記憶装置から読み出した制御点の座標値に基づいて n 次の曲面図形を表現するための頂点の座標値を生成する図形情報生成装置とを備え、この図形情報生成装置は所定のビット幅の制御点の座標値 A 、 B と、所定のビット幅で $0 \leq t \leq 1$ の値をとる補間係数 t とに基づき、制御点間を内分する新たな制御点の座標値に関して $A \times (1-t) + B \times t$ を順次演算する線形補間器を有することを特徴とするものである。

【0017】本発明に係る画像処理装置によれば、上述した図形情報生成装置が応用されるので、ソフトウェアに依存するところを少なくすることができる。 n 次のベジェ曲線やベジェ曲面を表現する上位所定ビット幅の頂点の座標値を用いてハードウェアにより高速に画像処理を行うことができる。

【0018】従って、図形情報生成装置を構成する線形補間器を小規模な回路構成によって実現できるので、高性能かつ低消費電力動作が可能な画像処理装置を提供することができる。

【0019】本発明に係る情報処理装置は、水平方向に $(n+1)$ [ただし、 $n \geq 2$]個の制御点及び垂直方向に $(n+1)$ 個の制御点を格子状に与え、この格子状の制御点から生成された n 次の曲面図形を外部からの操作情報に基づいて情報処理をする装置であって、これらの制御点の座標値を記憶する記憶装置と、この記憶装置から読み出した制御点の座標値に基づいて n 次の曲面図形を画像処理する画像処理装置と、この画像処理装置を制御するための操作情報を入力するように操作される操作部と、この操作部による操作情報に基づいて記憶装置から読み出した曲面図形を変化させるように表示制御する制御装置とを備え、画像処理装置は所定のビット幅の制御点の座標値 A 、 B と、所定のビット幅で $0 \leq t \leq 1$ の値をとる補間係数 t とに基づき、制御点間を内分する新たな制御点の座標値に関して $A \times (1-t) + B \times t$ を順次演算する線形補間器を有することを特徴とするものである。

【0020】本発明に係る情報処理装置によれば、上述した画像図形情報生成装置が画像処理装置に应用されるので、ソフトウェアに依存するところが少なくなり、 n 次のベジェ曲線やベジェ曲面を表現する上位所定ビット幅の頂点の座標値を外部からの操作情報に基づいてハードウェアにより高速に情報処理することができる。

【0021】従って、画像処理装置を構成する線形補間器を小規模な回路構成によって実現できるので、高性能かつ低消費電力動作が可能な、特に携帯端末装置などの情報処理装置を提供することができる。

【0022】本発明に係る図形情報生成方法は、水平方向に $(n+1)$ [ただし、 $n \geq 2$]個の制御点及び垂直方向に $(n+1)$ 個の制御点を格子状に与え、この格子状の制御点から n 次の曲面図形を表現するための頂点の座標値を生成する方法であって、所定のビット幅の $(n+1) \times (n+1)$ 個の制御点の座標値を入力すると共に、所定のビット幅で $0 \leq t \leq 1$ の値をとる補間係数 t を入力し、隣接する各々2つの制御点の座標値を A 、 B としたとき、この水平方向で隣接する各々2つの制御点間について、それぞれ $A \times (1-t) + B \times t$ を順次演算して $n \times (n+1)$ 個の新たな制御点の座標値を求め、更に水平方向で隣接する新たな各々2つの制御点間についてそれぞれ $A \times (1-t) + B \times t$ を順次演算することにより、最終的に $2 \times (n+1)$ 個の新たな制御点の座標値を求め、その後、垂直方向で隣接する各々2つの制御点間についてそれぞれ $A \times (1-t) + B \times t$ を順次演算して $2 \times n$ 個の新たな制御点の座標値を求め、更に垂直方向で隣接する新たな各々2つの制御点間についてそれぞれ $A \times (1-t) + B \times t$ を順次演算することにより、最終的に 2×2 個の新たな制御点の座標値を求め、その後、水平方向及び垂直方向に関して 2×2 個の制御点間について、それぞれ $A \times (1-t) + B \times t$ を順次

1) $\times (n+1)$ 個の制御点の座標値を入力すると共に、所定のビット幅で $0 \leq t \leq 1$ の値をとる補間係数 t を入力し、隣接する各々2つの制御点の座標値を A 、 B としたとき、この水平方向で隣接する各々2つの制御点間について、それぞれ $A \times (1-t) + B \times t$ を順次演算して $n \times (n+1)$ 個の新たな制御点の座標値を求め、更に水平方向で隣接する新たな各々2つの制御点間についてそれぞれ $A \times (1-t) + B \times t$ を順次演算することにより、最終的に $2 \times (n+1)$ 個の新たな制御点の座標値を求め、その後、垂直方向で隣接する各々2つの制御点間についてそれぞれ $A \times (1-t) + B \times t$ を順次演算して $2 \times n$ 個の新たな制御点の座標値を求め、更に垂直方向で隣接する新たな各々2つの制御点間についてそれぞれ $A \times (1-t) + B \times t$ を順次演算することにより、最終的に 2×2 個の新たな制御点の座標値を求め、その後、水平方向及び垂直方向に関して 2×2 個の制御点間について、それぞれ $A \times (1-t) + B \times t$ を順次演算し、頂点の座標値を求めることを特徴とするものである。

【0023】本発明に係る図形情報生成方法によれば、ソフトウェアに依存するところが少なくなり、 n 次のベジェ曲線やベジェ曲面を表現する上位所定ビット幅の頂点の座標値をハードウェアにより高速に得ることができる。しかも、この方法によって実現化される図形情報生成装置や、画像処理装置、情報処理装置などにおいて、小規模な回路構成にまとめられた線形補間器を使用することができる。

【0024】本発明に係る記録媒体は、水平方向に $(n+1)$ [ただし、 $n \geq 2$]個の制御点及び垂直方向に $(n+1)$ 個の制御点を格子状に与え、この格子状の制御点から n 次の曲面図形を表現するための頂点の座標値を生成する制御手順を記録した記録媒体であって、この記録媒体には少なくとも、所定のビット幅の $(n+1) \times (n+1)$ 個の制御点の座標値を入力すると共に、所定のビット幅で $0 \leq t \leq 1$ の値をとる補間係数 t を入力し、隣接する各々2つの制御点の座標値を A 、 B としたとき、この水平方向で隣接する各々2つの制御点間について、それぞれ $A \times (1-t) + B \times t$ を順次演算して $n \times (n+1)$ 個の新たな制御点の座標値を求め、更に水平方向で隣接する新たな各々2つの制御点間についてそれぞれ $A \times (1-t) + B \times t$ を順次演算することにより、最終的に $2 \times (n+1)$ 個の新たな制御点の座標値を求め、その後、垂直方向で隣接する各々2つの制御点間についてそれぞれ $A \times (1-t) + B \times t$ を順次演算して $2 \times n$ 個の新たな制御点の座標値を求め、更に垂直方向で隣接する新たな各々2つの制御点間についてそれぞれ $A \times (1-t) + B \times t$ を順次演算することにより、最終的に 2×2 個の新たな制御点の座標値を求め、その後、水平方向及び垂直方向に関して 2×2 個の制御点間について、それぞれ $A \times (1-t) + B \times t$ を順次

演算し、頂点の座標値を求めるような制御手順が記録されることを特徴とするものである。

【0025】本発明に係る記録媒体によれば、図形情報生成装置や、画像処理装置、情報処理装置などに内蔵される線形補間器を記録媒体に記録された制御手順に基づいて再現性良く制御できるので、 n 次のベジエ曲線やベジエ曲面を表現する上位所定ビット幅の頂点の座標値をハードウェアにより高速に発生させることができる。

【0026】従って、ベジエ曲線やベジエ曲面などの図形情報を取り扱うCAD及びCAMシステムを導入した、エンタテインメント装置や、携帯用ゲーム機、携帯端末装置及び携帯電話機などに十分利用することができる。

【0027】

【発明の実施の形態】この発明に係る図形情報生成装置、画像処理装置、情報処理装置、図形情報生成方法及び記録媒体の一実施の形態について、図面を参照しながら説明をする。

【0028】(1)第1の実施形態

〔図形情報生成装置〕図1は本発明に係る実施形態としての図形情報生成装置10の構成例を示すブロック図である。図2は頂点の座標値生成時の $(n+1) \times (n+1)$ 個の制御点 $p_0 \sim p_n$ の配置例を示す図である。

【0029】この実施形態では、水平方向に $(n+1)$ 個の制御点及び垂直方向に $(n+1)$ 個の制御点を格子状に与え、この格子状の制御点から n 次のベジエ曲面などの図形を表現する場合に、その図形の頂点の座標値を生成する線形補間器を備え、例えば各々浮動小数点で示される所定のビット幅の制御点の座標値 A 、 B と、所定のビット幅で $0 \leq t \leq 1$ の値をとる補間係数 t とに基づき、制御点間を内分する新たな制御点の座標値に関して $A \times (1-t) + B \times t$ を順次演算して、ソフトウェアに依存することなく、 n 次のベジエ曲線やベジエ曲面を表現する頂点の座標値をハードウェアにより高速に生成できるようにしたものである。

【0030】図1に示す図形情報生成装置10は n 次のベジエ曲線やベジエ曲面を表現する頂点の座標値を生成するものであり、制御装置4、記憶媒体5及び図形情報生成部6を有している。この頂点の座標値は例えば、図2において、水平方向に $(n+1)$ [ただし、 $n \geq 2$]個の制御点 $p_0 \sim p_n$ 及びその垂直方向に $(n+1)$ 個の制御点 $p_0 \sim p_n$ の $(n+2) - n$ を格子状に与え、この格子状の $(n+1) \times (n+1)$ 個の制御点 $p_0 \sim p_n$ の $(n+2)$ から生成されるものである。

【0031】この図形情報生成部6は図1に示す線形補間器1、メモリ部2及び制御点選択部3を有している。線形補間器1では制御装置4からの桁合わせ制御信号 S_1 などを受けて所定のビット幅の制御点の座標値 A 、 B と、所定のビット幅で $0 \leq t \leq 1$ の値をとる補間係数 t とに基づき、制御点間を内分する新たな制御点の座標値

に関して(1)式を順次演算するようになされる。

$$A \times (1-t) + B \times t \cdots \cdots (1)$$

【0032】線形補間器1の出力段にはメモリ部2が接続され、順次演算された補間結果が制御装置4の書込み読出し制御信号 S_2 を受けて記憶され、次の演算に必要な制御点の座標値を順次読み出すように制御される。

【0033】この線形補間器1は例えば、 2×2 個の新たな制御点の座標値から頂点の座標値を演算するとき、その頂点の水平方向の接線ベクトル U_{out} 及びその垂直方向の接線ベクトル V_{out} を演算するようになされる。この2つのベクトルをメモリ部2から後段の画像処理装置などに出力するようになされる。これら2つの接線ベクトル U_{out} 及び V_{out} に基づいて頂点における法線ベクトルを求めるためである。法線ベクトルは明るさを演算するライティング処理などに利用される。

【0034】この線形補間器1の入力段には制御点選択部3が接続され、制御装置4からの切り換え制御信号 S_0 を受けて初期の制御点の座標値 A 、 B 又は線形補間演算によって新たに発生した制御点の座標値 CA 、 CB を選択するようになされる。制御装置4にはROMなどの記録媒体5が接続され、このROM情報に基づいて制御装置4は線形補間器1や、メモリ部2、制御点選択部3などの入出力を制御するようになされる。

【0035】この記録媒体5には少なくとも、所定のビット幅の $(n+1) \times (n+1)$ 個の制御点の座標値を入力すると共に、所定のビット幅で $0 \leq t \leq 1$ の値をとる補間係数 t を入力し、隣接する各々2つの制御点の座標値を A 、 B としたとき、この水平方向で隣接する各々2つの制御点間について、それぞれ(1)式を順次演算して $n \times (n+1)$ 個の新たな制御点の座標値を求め、更に水平方向で隣接する新たな各々2つの制御点間についてそれぞれ(1)式を順次演算することにより、最終的に $2 \times (n+1)$ 個の新たな制御点の座標値を求め、その後、垂直方向で隣接する各々2つの制御点間についてそれぞれ(1)式を順次演算して $2 \times n$ 個の新たな制御点の座標値を求め、更に垂直方向で隣接する新たな各々2つの制御点間についてそれぞれ(1)式を順次演算することにより、最終的に 2×2 個の新たな制御点の座標値を求め、その後、水平方向及び垂直方向に関して 2×2 個の制御点間について、それぞれ(1)式を順次演算し、頂点の座標値を求めるような制御手順が記録される。

【0036】もちろん、この記録媒体5には、頂点の座標値を求めるに当たって、 2×2 個の新たな制御点の座標値から頂点の水平方向の接線ベクトル及び垂直方向の接線ベクトルを抽出し、その水平方向及び垂直方向の接線ベクトルに基づいて頂点における法線ベクトルを求めるような制御手順も記録されている。

【0037】これらの制御手順に基づいて制御装置4により線形補間器1を再現性良く制御できるので、 n 次の

ベジエ曲線やベジエ曲面を表現する上位所定ビット幅の頂点の座標値をハードウェアにより発生させることができる。従って、ベジエ曲線やベジエ曲面などの図形情報を取り扱うCAD及びCAMシステムを導入したエンタテインメント装置や、携帯用ゲーム機、携帯端末装置、携帯電話機などに当該図形情報生成装置10を十分利用することができる。

【0038】続いて、線形補間器1の内部構成例について説明する。この例では線形補間器1には浮動小数点線形補間器(FLP)が使用される。図3は浮動小数点の座標値のデータフォーマット例を示す図である。図3に示すデータフォーマット例によれば、各々の制御点の座標値は32ビットで与えられ、その1ビット目が符号部Sであり、次の8ビットが指数部Eであり、残りの23ビットが加数部Fである。各々の制御点の座標値をこれらの符号部S、指数部E及び加数部Fで示すと式(2)のようになる。

$$1. F \times 2^{(E-127)} \quad \dots (2)$$

【0039】この符号部Sでは座標値の正又は負が区別され、指数部Eには8ビットで示される補間係数 t が与えられる。補間係数 t の値は $0 \leq t \leq 1$ を採るが、例えば0.1刻みで $(1-t)$ を演算するようになされる。この例では指数計算を高速化するために、指数部Eは0、16、32、48、64、80、96、112、128の16刻みで計9個の整数により表現するようにした。この場合に、 $t=0.5$ が $E=64$ に相当する。加数部Fは小数点以下を23ビットの2進数で表される。これらは1EEEE754で規定されているのでこれに従う。

【0040】図4は線形補間器1の内部構成例を示すブロック図である。図4に示す線形補間器1は各々の制御点に関して浮動小数点で与えられる座標値A、Bに基づいて補間演算するものである。線形補間器1の入力段には桁合わせ部11が設けられ、制御点の所定のビット幅の座標値A、Bの指数部Eの大きい方に桁を合わせるようになされる。桁合わせ部11にはシフトレジスタが使用され、座標値A、Bの小さい方の指数部をシフトして大きい方の指数部に揃えるようになされる。

【0041】この桁合わせ部11には第1及び第2の乗算器12、13が接続される。乗算器12では桁合わせ後の値 A' と補間係数 $(1-t)$ とが乗算され、乗算器13は桁合わせ後の値 B' と補間係数 t とが乗算される。補間係数 $(1-t)$ は乗算器12の入力段に接続された減算器14により「1」から補正係数 t を減算して生成される。

【0042】これらの乗算器12、13には加算器15が接続され、乗算器12の出力 $A' \times (1-t)$ と乗算器13の出力 $B' \times t$ とを加算するようになされる。加算器15には正規化部16が接続され、加算器15の出力 $A' \times (1-t) + B' \times t$ を(2)式で示したような浮動小数点で所定のビット幅の座標値に正規化するよう

になされる。

【0043】従って、水平方向で隣接する各々2つの制御点間についてそれぞれ $A' \times (1-t) + B' \times t$ を順次演算して、 $n \times (n+1)$ 個の新たな制御点の座標値を求め、更に水平方向で隣接する新たな各々2つの制御点間についてそれぞれ $A' \times (1-t) + B' \times t$ を順次演算することにより、最終的に $2 \times (n+1)$ 個の新たな制御点の座標値を求め、その後、垂直方向で隣接する各々2つの制御点間についてそれぞれ $A' \times (1-t) + B' \times t$ を順次演算して $2 \times n$ 個の新たな制御点の座標値を求め、更に垂直方向で隣接する新たな各々2つの制御点間についてそれぞれ $A' \times (1-t) + B' \times t$ を順次演算することにより、最終的に 2×2 個の新たな制御点の座標値を求め、その後、水平方向及び垂直方向に関して 2×2 個の制御点間について、それぞれ $A' \times (1-t) + B' \times t$ を順次演算することにより、頂点の座標値を求めることができる。

【0044】続いて、図5～図10を参照しながら、図形情報生成装置10の動作例について説明をする。図5はU-V座標系における制御点 $p_0 \sim p_{15}$ の配置例を示す図である。

【0045】この例では $n=3$ とした場合であって、図5に示すU-V座標系の水平方向(以下で u 方向という)に4個の制御点及び垂直方向(以下で v 方向という)に4個の制御点を格子状に与え、この 4×4 個の格子状の制御点 $p_0 \sim p_{15}$ から例えば図6に示すような3次のベジエ曲面を表現するための頂点の座標値を生成する場合を想定する。

【0046】この図形情報生成装置10では23ビット幅の 4×4 個の制御点 $p_0 \sim p_{15}$ の座標値と、8ビット幅で $0 \leq t \leq 1$ の値をとる補間係数 t とが線形補間器1に入力される。そして、隣り合う各々2つの制御点の座標値をA、Bとしたとき、この u 方向で隣接する各々2つの制御点間について、図7Aに示す 4×4 個の制御点 $p_0 \sim p_{15}$ の座標値をそれぞれ(1)式で順次演算して図7Bに示すような 3×4 個の新たな制御点 $p_{u0} \sim p_{u11}$ の座標値を求める。

【0047】その後、図7Bに示した 3×4 個の制御点 $p_{u0} \sim p_{u11}$ の座標値を更に u 方向で隣接する各々2つの制御点間について、それぞれ(1)式で順次演算して図9Aに示すような 2×4 個の新たな制御点 $p_{u0} \sim p_{u7}$ の座標値を求める。今度は v 方向で隣接する各々2つの制御点間について、図8Aに示した 2×4 個の制御点 $p_{u0} \sim p_{u7}$ の座標値をそれぞれ(1)式で順次演算して図8Bに示すような 2×3 個の新たな制御点 $p_{v0} \sim p_{v5}$ の座標値を求める。

【0048】そして、図8Bに示した 2×3 個の制御点 $p_{v0} \sim p_{v5}$ の座標値を更に v 方向で隣接する各々2つの制御点間について、それぞれ(1)式で順次演算して図10Aに示すような 2×2 個の新たな制御点 p_{v0}

～p v 3の座標値を求める。その後、図9 Aに示した2×2個の制御点間について、u方向及びv方向に関してそれぞれ(1)式を順次演算し、図9 Bに示すような2×2個の新たな制御点p p 0～p p 3の座標値を求める。そして、図9 Bに示した2×2個の新たな制御点p p 0～p p 3の座標値をu方向及びv方向に関してそれぞれ(1)式を順次演算し、図9 Cに示すような頂点P 0の座標値を求めることを前提とする。

【0049】もちろん、記録媒体5に記録された制御手順に基づいて、制御装置4は制御点の座標値A、Bの指数部の大きい方に桁を合わせ、この桁合わせ後の座標値Aと補間係数(1-t)とを乗算すると共に、桁合わせ後の座標値Bと補正係数tとを乗算し、その後、乗算結果を加算した後の加算値を浮動小数点で示される所定のビット幅の座標値に正規化するようにされる。

【0050】これらを補間条件にして、図10のフローチャートのステップA1で4×4個の制御点の座標値が、記録媒体5の制御手順に従って、制御装置4の制御を受けた線形補間器1に23ビット幅の4×4個の制御点p 0～p 15の座標値と、8ビット幅で0≤t≤1の値をとる補間係数tとが入力される。座標値の浮動小数点の指数部Eは0、16、32、48、64、80、9*

$$\begin{aligned} p u [0] &= F L I P (p [0], p [1], u); \\ p u [1] &= F L I P (p [1], p [2], u); \\ p u [2] &= F L I P (p [2], p [3], u); \\ p u [3] &= F L I P (p [4], p [5], u); \\ p u [4] &= F L I P (p [5], p [6], u); \\ p u [5] &= F L I P (p [6], p [7], u); \\ p u [6] &= F L I P (p [8], p [9], u); \\ p u [7] &= F L I P (p [9], p [10], u); \\ p u [8] &= F L I P (p [10], p [11], u); \\ p u [9] &= F L I P (p [12], p [13], u); \\ p u [10] &= F L I P (p [13], p [14], u); \\ p u [11] &= F L I P (p [14], p [15], u); \end{aligned} \quad \dots (3)$$

この制御点p u 0～p u 11の座標値はメモリ部2に格納される。ここで隣り合う各々2つの制御点の座標値をCA、CBとする。

【0054】その後、この座標値CA、CBがメモリ部2から読み出され、これが制御装置4の切り換え制御を受けた制御点選択部3により選択され、更にu方向で隣接する各々2つの制御点間について、(1)式により補間され、制御点p u 0～p u 11を12個から8個に減*

$$\begin{aligned} p u [0] &= F L I P (p u [0], p u [1], u); \\ p u [1] &= F L I P (p u [1], p u [2], u); \\ p u [2] &= F L I P (p u [3], p u [4], u); \\ p u [3] &= F L I P (p u [4], p u [5], u); \\ p u [4] &= F L I P (p u [6], p u [7], u); \\ p u [5] &= F L I P (p u [7], p u [8], u); \\ p u [6] &= F L I P (p u [9], p u [10], u); \\ p u [7] &= F L I P (p u [10], p u [11], u); \end{aligned} \quad \dots (4)$$

* 6、112、128である。

【0051】その後、ステップA2に移行してU座標を初期設定をするために、その座標値がu=0に設定される。そして、ステップA3に移行してu=128になったか否かが検出される。u=128になった場合には、4×4個の制御点p 0～p 15による3次のベジエ曲面の頂点座標値が得られる。u=128になっていない場合には補間演算を継続するために、ステップA4に移行する。このu方向に関して1つの頂点の座標値の生成について9回の補間処理がなされる。

【0052】ステップA4ではu方向で隣接する各々2つの制御点間について、(1)式により補間され、制御点p 0～p 15を16個から8個に減らされる。例えば、(1)式に関して

$C = F L I P (A, B, u);$

と記述すると、u方向で隣接する各々2つの制御点間について、図7 Aに示した4×4個の制御点p 0～p 15の座標値がそれぞれ(2)式で順次演算され、図7 Bに示したような3×4個の新たな制御点p u 0～p u 11の座標値が求められる。

【0053】

※らされる。ここで、(1)式に関して

$C = F L I P (C A, C B, u);$

と記述すると、u方向で隣接する各々2つの制御点間について、それぞれ(4)式で順次演算して図8 Aに示すような2×4個の新たな制御点p u 0～p u 7の座標値が求められる。

【0055】

これらの座標値もメモリ部2に格納される。

【0056】その後、ステップA5に移行してV座標を初期設定をするために、その座標値が $v=0$ に設定される。そして、ステップA6に移行してV座標について $v=128$ になったか否かが検出される。 $v=128$ でV座標における補間処理の1サイクルが終了するためである。従って、 $v=128$ でステップA11に移行するが、 $v=0, 16, 32, 48, 64, 80, 96, 112$ の場合には v 方向の補間処理を継続するために、ステップA7に移行する。

*10

```

p v [ 0 ] = F L I P ( p u [ 0 ] , p u [ 2 ] , v ) ;
p v [ 1 ] = F L I P ( p u [ 1 ] , p u [ 3 ] , v ) ;
p v [ 2 ] = F L I P ( p u [ 2 ] , p u [ 4 ] , v ) ;
p v [ 3 ] = F L I P ( p u [ 3 ] , p u [ 5 ] , v ) ;
p v [ 4 ] = F L I P ( p u [ 4 ] , p u [ 6 ] , v ) ;
p v [ 5 ] = F L I P ( p u [ 5 ] , p u [ 7 ] , v ) ; . . . . ( 5 )

```

【0059】これらの座標値もメモリ部2に格納される。その後、同様な読出し制御を受けて、図9Bに示した 2×3 個の制御点 $p v 0 \sim p v 5$ の座標値を更に v 方向で隣接する各々2つの制御点間について、ステップA

*8に移行して、それぞれ(6)式で順次演算して図9Aに示すような 2×2 個の新たな制御点 $p v 0 \sim p v 3$ の座標値が求められる。

【0060】

```

p v [ 0 ] = F L I P ( p v [ 0 ] , p v [ 2 ] , v ) ;
p v [ 1 ] = F L I P ( p v [ 1 ] , p v [ 3 ] , v ) ;
p v [ 2 ] = F L I P ( p v [ 2 ] , p v [ 4 ] , v ) ;
p v [ 3 ] = F L I P ( p v [ 3 ] , p v [ 5 ] , v ) ; . . . ( 6 )

```

【0061】その後、ステップA8に移行して図9Aに示した 2×2 個の制御点間について、 u 方向及び v 方向に関してそれぞれ(7)式を順次演算し、図9Bに示す★

★ような 2×2 個の新たな制御点 $p p 0 \sim p p 3$ の座標値が求められる。

【0062】

```

p p [ 0 ] = F L I P ( p v [ 0 ] , p v [ 1 ] , u ) ;
p p [ 1 ] = F L I P ( p v [ 2 ] , p v [ 3 ] , u ) ;
p p [ 2 ] = F L I P ( p v [ 0 ] , p v [ 2 ] , v ) ;
p p [ 3 ] = F L I P ( p v [ 1 ] , p v [ 3 ] , v ) ; . . . ( 7 )

```

【0063】そして、図9Bに示した 2×2 個の新たな制御点 $p p 0 \sim p p 3$ の座標値をステップA9に移行して u 方向及び v 方向に関してそれぞれ(8)式を順次演算

☆算し、図9Cに示すような頂点P0の座標値が求められる。

$P 0 = F L I P (p p [0] , p p [1] , v) . . . (8)$

【0064】なお、上式(2)～(8)はいずれもC言語で記述したものである。その後、ステップA10に移行して v 方向の補間処理の粗さを調整する $v = v + d v$ が演算される。ここで $d v$ はベジエ曲面を表現する v 方向のパッチ面の分割数を粗くするか細くするかを設定するための演算子である。 $d v$ は例えば16, 8などの整数で与えられ、ここではパッチ面の分割数を細くするために16(粗)を8(密)に減ずるような $v = v + d v$ を演算した後に、ステップA6に戻る。

【0065】ステップA6では同様な補間演算を $v=0 \sim 128$ の場合について行うために、V座標について $v=128$ になったか否かが検出される。つまり、1つの頂点の座標値の生成について u 方向を1つ変化させる毎に、この v 方向に関して9回の補間処理がなされる。従って、 v 方向に関して9回の補間処理が終わると、ステ

*【0057】ステップA7では v 方向で隣接する各々2つの制御点間について、(1)式により補間され、制御点 $p u 0 \sim p u 7$ を8個から4個に減らされる。例えば、 v 方向で隣接する各々2つの制御点間について、図8Aに示した 2×4 個の制御点 $p u 0 \sim p u 7$ の座標値CA, CBをそれぞれ(5)式で順次演算して図8Bに示すような 2×3 個の新たな制御点 $p v 0 \sim p v 5$ の座標値が求められる。

【0058】

れた制御点について全て頂点座標値を生成したかが検出される。例えば、制御装置4からの線形補間器1へ終了コマンドが発行されることで、頂点座標値の生成処理を終了する。終了コマンド検出されない場合には、ステップA1に戻って次の4×4個の制御点が入力され、上述した処理が繰り返される。これにより、他の3次のベジェ曲面の頂点座標値をハードウェアにより得ることができる。

【0068】[法線ベクトルの生成例]図11A～図11Cは図形情報生成装置10による法線ベクトルの生成*10

$$\begin{aligned} u_x &= p_p[3] \cdot x - p_p[2] \cdot x; \\ u_y &= p_p[3] \cdot y - p_p[2] \cdot y; \\ u_z &= p_p[3] \cdot z - p_p[2] \cdot z; \end{aligned} \quad \dots\dots (9)$$

【0071】同様にして、図11Bに示すv方向の接線ベクトルvはV座標のx成分をvxとし、そのy成分をvyとし、そのz成分をvzとすると、(10)により※

$$\begin{aligned} v_x &= p_p[1] \cdot x - p_p[0] \cdot x; \\ v_y &= p_p[1] \cdot y - p_p[0] \cdot y; \\ v_z &= p_p[1] \cdot z - p_p[0] \cdot z; \end{aligned} \quad \dots\dots (10)$$

【0073】図11Cに示す頂点P0の法線ベクトルzは、これら2つの接線ベクトルu、vの外積を演算したものである。この法線ベクトルzは光色を算出するライティング処理に使用される。例えば、光源から照射される光の向きを光源ベクトルとしたとき、この光源ベクトルと法線ベクトルの内積が演算される。そして、光源ベクトルと法線ベクトルとが一致したとき($\cos\theta=1$)に、一番明るくするように輝度を演算するようになされる。

【0074】なお、頂点P0の接線ベクトルu、vは4個の制御点の座標値が重なっていると、正確に接線ベクトルu、vを演算できないので、制御装置4内に比較器などを設け、4個の制御点の座標値が重なっているか否かを判別するようにするとよい。例えば、制御点の先頭の2つの座標値と最後の2つの座標値を比較して一致しているか否かを判別する。直線や球形に係る図形情報を生成する場合に座標値が一致するからである。

【0075】このように、本発明に係る第1の実施形態としての図形情報生成装置10によれば、u方向に4個の制御点及びv方向に4個の制御点を線形補間器1に与えると、ソフトウェアに依存することなく、ハードウェアによりこの制御点p0～p15から3次のベジェ曲面を表現する頂点P0の座標値を生成することができる。しかも、2×2個の新たな制御点pp0～pp3の座標値から頂点P0の接線ベクトルu、vを抽出できるので、ライティング処理に必要な法線ベクトルzを生成することができる。

【0076】また、桁合わせ部11、乗算器12、13、加算器15及び正規化部16といった小規模な回路構成によって線形補間器1を実現できるので、高性能かつ低消費電力動作が可能な図形情報生成装置10を提供

*例を示す遷移図である。この例では、図9Bに示した2×2個の新たな制御点pp0～pp3の座標値から頂点P0のu方向の接線ベクトルu(上矢印を省略する)及びv方向の接線ベクトルv(上矢印を省略する)が抽出され、この2つの接線ベクトルu、vに基づいて頂点P0における法線ベクトルzが求められる。

【0069】図11Aに示すu方向の接線ベクトルuはU座標のx成分をuxとし、そのy成分をuyとし、そのz成分をuzとすると、(9)により演算される。

【0070】

※演算される。

【0072】

30 することができる。これにより、当該図形情報生成装置10をベジェ曲面などの画像処理を行う画像処理装置、特に消費電力が制限される携帯端末装置などの情報処理装置に十分応用することができる。

【0077】この例では制御点の座標値A、Bに関して各々浮動小数点の場合について説明したが、これに限られることはなく、これらの座標値A、Bを固定小数点で線形補間器1に与えてもよい。また、頂点の座標値は2次元のU-V座標系で処理する場合について説明したが、もちろん、3次以上でも本発明を適用することができる。頂点の座標値もこの限りではない。ベジェ曲面に限らずベジェ曲線や、3次だけでなくそれ以外の次数のベジェ曲面に適用することができる。

【0078】[第1の画像処理装置]図12は本発明に係る実施形態としての第1の画像処理装置100の構成例を示すブロック図である。

【0079】この実施形態では、上述した図形情報生成装置10が応用され、ソフトウェアに依存することなく、ハードウェアにより生成された上位所定ビット幅の頂点の座標値を用いてn次のベジェ曲線やベジェ曲面を画像処理するものである。

40 【0080】図12に示す画像処理装置100は図形情報生成装置10の主要部の一例となるベジェ分割装置17を有しており、その図形情報生成部6によって生成されたn次の曲面図形を画像処理するものである。この画像処理装置100はベジェ分割装置17の他に制御装置4'、操作部19、記憶媒体5の一例となるROM45、記憶装置の一例となるメインメモリ18などを有している。メインメモリ18には例えば3次のベジェ曲線やベジェ曲面を画像処理するための4×4個の制御点の座標値A、Bが記憶されている。この制御点の座標値

A, Bは外部から書き換え可能になされる。メインメモリ18の記録内容例については図13において説明をする。

【0081】このメインメモリ18には制御装置4'が接続されると共に、この制御装置4'には操作部19が接続されている。この操作部19はメインメモリ18の読出し制御をするための操作情報D3を入力するように操作される。制御装置4'では操作情報D3に基づいてメインメモリ18に書き込み読出し信号S4を出力する。メインメモリ18では3次のベジエ曲線やベジエ曲面を画像処理するための4×4個の制御点の座標値A, Bが書き込み読出し信号S4に基づいて図形情報生成部6に読み出される。

【0082】このメインメモリ18に接続された図形情報生成部6では、操作情報D3に基づいて読み出された制御点の座標値A, Bに関して、u方向に(n+1)[ただし、 $n \geq 2$]個の制御点及びv方向に(n+1)個の制御点を格子状に与え、この格子状の制御点からn次の曲面図形に係る頂点座標値を生成するようになされる。この例では3次の曲面図形を表現するための頂点の座標値が生成される。ここで生成された頂点の座標値は頂点情報Coutとして後段の処理回路へ出力される。

【0083】もちろん、図形情報生成部6には図4で説明した線形補間器を有しており、浮動小数点又は固定小数点で示される、23ビット幅の制御点の座標値A, Bと、8ビット幅で $0 \leq t \leq 1$ の値をとる補間係数tとに基づき、制御点間を内分する新たな制御点の座標値に関して $A \times (1-t) + B \times t$ を順次演算するようになされる。更に、図形情報生成部6では2×2個の新たな制御点の座標値から頂点のu方向に接線ベクトル及びv方向に接線ベクトルを抽出するようになされる。

【0084】この図形情報生成部6には演算器7が接続され、2×2個の新たな制御点の座標値から抽出された頂点P0のu方向の接線ベクトル情報Uinとv方向の接線ベクトル情報Vinとを入力し、この情報Uinと情報Vinの外積を演算してその頂点P0の法線ベクトル情報Houtを出力するようになされる。

【0085】制御装置4'に接続されたROM45には、制御点の座標値A, Bの指数部の大きい方に桁を合わせ、この桁合わせ後の座標値Aと補間係数(1-t)とを乗算すると共に、桁合わせ後の座標値Bと補正係数tとを乗算し、その後、乗算結果を加算した後の加算値を浮動小数点で示される所定のビット幅の座標値に正規化するような制御手順や、頂点P0のu方向の接線ベクトル情報Uinとv方向の接線ベクトル情報Vinとを所定のタイミングで外積を演算して出力するような制御手順が記述されている。

【0086】続いて、メインメモリ18の記録内容例について説明する。図13はメインメモリ18の記録内容例を示すイメージ図である。この例では、1Mバイトの

メモリ領域に、その格納アドレス0x000000~0xFFFFFによって指定される番地にプログラム情報、描画リスト、形状データ、テクスチャデータID=1、及びID=2が記録されている。これらのデータは外部から転送されたゲームデータや、電子アニメーション用のデータであってもよい。

【0087】図13に示す記録内容例によれば、n次のベジエ曲面などを生成するアプリケーション本体、このアプリケーションのサブルーチンなどのモジュール群及びライブラリ群から成るプログラム情報がメモリ領域の先頭に記述されている。このアプリケーションには例えば、n次のベジエ曲面を生成操作するモードを設定するか、又は他の操作モードを設定するかを選択させるようなプログラムデータも含まれる。プログラム情報の後には、1ポリゴンの形状データを複数繋げるための制御命令(以下でポリゴン描画命令ともいう)などの描画リストが記述されている。

【0088】この描画リストの後には映像素材情報となる形状データが記述されている。例えばゲーム情報や広告情報などを2次元又は3次元映像表示するような動画データを含むグラフィックモデルデータ群が記述されている。動画データはDCT(離散コサイン変換)により画像圧縮されている。形状データの後には、グラフィックテクスチャデータ群が記述されている。テクスチャデータは76バイトで1ポリゴンの形状データを構成するようになされ、この例では三角形と四角形の2つのIDを持つテクスチャデータが記述される。テクスチャデータの内容については図23において説明する。この他にサウンドシーケンスデータ群及びサウンドウェーブデータ群が記述される場合もある。ユーザーの操作と、サウンドシーケンスに応じてサウンドウェーブデータを処理するためである。

【0089】このように、本発明に係る実施形態としての第1の画像処理装置100によれば、上述した図形情報生成装置10の主要部がベジエ分割装置17に応用されるので、ソフトウェアに依存するところが少なくなり、n次のベジエ曲線やベジエ曲面を表現する上位所定ビット幅の頂点P0の座標値を用いてハードウェアにより高速に画像処理を行うことができる。従って、ベジエ分割装置17を構成する線形補間器を小規模な回路構成によって実現できるので、高性能かつ低消費電力動作が可能な画像処理装置100を提供することができる。

【0090】また、本発明に係るROM45によれば、当該ROM45に記録された制御手順に基づいてベジエ分割装置17に内蔵される線形補間器を再現性良く制御できるので、n次のベジエ曲線やベジエ曲面を表現する上位所定ビット幅の頂点の座標値をハードウェアにより発生させることができる。

【0091】(2)第2の実施形態

図14は本発明に係る第2の実施形態としての図形情報

変換装置20の構成例を示すブロック図である。

【0092】この実施形態ではn次の曲面図形を表現するための頂点情報を多角形情報に並び換える場合にメモリ制御部を備え、m個の頂点情報を1ライン目のメモリに書き込むと共に、次のm個の頂点情報を2ライン目のメモリに書き込み、その後、1ライン目のメモリで各々隣接する2個ずつの頂点情報と、2ライン目のメモリで各々隣接する2個ずつの頂点情報とにより形成される

(m-1)個の四角形の頂点情報をそのまま、もしくは、その四角形を斜めに分割した2(m-1)個の三角形の頂点情報を順次読み出すようにして、ソフトウェアに依存することなく、n次のベジエ曲線やベジエ曲面を表現する頂点情報をハードウェアにより多角形情報に変換できるようにしたものである。

【0093】図14に示す図形情報変換装置20は、n次の曲線図形及び曲面図形を表現するための頂点情報C_{in}をライン走査のための多角形（以下でポリゴンともいう）情報に並び換えるものである。この図形情報変換装置20には少なくとも、2ライン分のメモリ21A、21Bを有した記憶装置21が設けられ、1ライン毎に頂点情報C_{in}を記憶するようになされる。この記憶装置21にはラインメモリ21A、21Bを有したスタックメモリ21'などを使用するとよい。

【0094】この記憶装置21にはメモリ制御部22が接続され、当該記憶装置21の書き込み読み出しを制御するようになされる。例えば、メモリ制御部22はm個の頂点情報C_{in}を1ライン目のメモリ21Aに書き込むと共に、次のm個の頂点情報C_{in}を2ライン目のメモリ21Bに書き込み、その後、1ライン目のメモリ21Aで各々隣接する2個ずつの頂点情報C_{in}と2ライン目のメモリ21Bで各々隣接する2個ずつの頂点情報C_{in}とにより形成される(m-1)個の四角形の頂点情報C_{in}をそのまま、もしくは、その四角形を斜めに分割した2(m-1)個の三角形の頂点情報C_{out}を順次読み出すようになされる。以下で四角形又は三角形の頂点情報を多角形情報C_{out}ともいう。

【0095】この例では2ライン目のメモリ21Bに書き込んだm個の頂点情報C_{in}は、次の第3ライン目に相当するm個の頂点情報C_{in}の並び換えに使用するので、1ライン目のメモリ21Aに順次シフトするようになされる。第3ライン目に相当するm個の頂点情報C_{in}を常に2ライン目のメモリ21Bに書き込むようにするためである。

【0096】この例では更に、予め四角形動作モード又は三角形動作モードのいずれかを選択するための設定情報D4が入力される。ここで四角形動作モードとは四角形の頂点情報C_{in}を生成する図形変換制御をいい、三角形動作モードとは三角形の頂点情報C_{in}を生成する図形変換制御をいうものとする。例えば、設定情報D4が

「1」のときは、四角形動作モードが選択され、それが

「0」のときは三角形動作モードが選択される。多角形情報C_{out}は少なくとも、多角形の頂点の座標値、色テクスチャ情報及びクリップ情報を含むものである。色テクスチャ情報はn次の曲面図形を表示する背景の色情報である。クリップ情報は多角形情報C_{out}に基づいて三次元映像加工（以下でレンダリングという）処理するかどうかを判断するためのコードであり、多角形の各頂点毎に付加される。

【0097】ここで、多角形情報C_{out}によって表現される奥行きを含む表示領域（モニタなどの有効表示領域に等しい）に関して視認可能な範囲をクリップ領域としたとき、このクリップ領域から外れる多角形の頂点にクリップ情報「1」が付加され、このクリップ領域内に入っている多角形の頂点にはクリップ情報「0」が付加される。クリップ情報の付加については図18で説明する。

【0098】このメモリ制御部22には判定部23が接続され、上述のクリップ領域から外れる多角形情報C_{out}を判別するようになされる。判定部23では、予め多角形の各々の頂点毎に付加されたクリップ情報を入力し、この多角形の頂点が1つでもクリップ領域内にある場合には、当該多角形情報C_{out}をレンダリング処理に含められる。n次のベジエ曲面などの一部がモニタなどの有効表示領域にかかっていて表示が必要であることによる。

【0099】反対に、この多角形の全ての頂点がクリップ領域外にある場合には、当該多角形情報C_{out}をレンダリング処理から除外するようになされる。n次のベジエ曲面などがモニタなどの有効表示領域から外れてしまい、レンダリング処理を施してモニタ画面上に現れないことによる。この判定部23は三角形情報C_{out}を判定する場合には三入力NAND回路や三入力AND回路などから構成され、四角形情報を判定する場合には四入力NAND回路や四入力AND回路などから構成される。NAND回路を使用する場合にはインバータが接続され、入力又は出力論理を反転するようになされる。

【0100】図15はm=8における図形情報変換例を示すイメージ図である。図16A及びBは三角形情報C_{out}及び四角形情報C_{out}'の出力例を示すイメージ図である。

【0101】図15に示すベジエ曲面は8個の頂点情報C_{in}を走査ライン毎に同一平面に並べたものである。この例では、三角形動作モードでm=8の場合に、図16Aに示す三角形の各頂点が「1, 2, 9」、「2, 9, 10」、「2, 3, 10」、「3, 10, 11」、「3, 4, 11」・・・の三角形情報C_{out}がメモリ制御部22から判定部23へ出力される。もちろん、各三角形の各頂点毎にクリップ情報「1」又は「0」が付加される。

【0102】四角形動作モードでm=8の場合に、図1

6Bに示す四角形の各頂点が「1, 2, 9, 10」、
「2, 3, 10, 11」、「3, 4, 11, 12」・・・
の四角形情報Cout'がメモリ制御部22から判定
部23へ出力される。もちろん、各四角形の各頂点毎に
クリップ情報「1」又は「0」が付加される。

【0103】図17は液晶表示モニタなどのクリップ領
域例を示す仮想表示空間のイメージ図である。図18は
スクリーン座標系x s, y sにおけるクリップ領域C L
と4ビットのクリップコードの関係例を示す対応図であ
る。この例では図17に示す仮想表示空間上にスクリー
ン座標系x s, y s, z sが定義され、奥行きはz s座
標に関してZ=±1に入る多角形情報Coutのみをレン
ダリング処理に移行するようになされる。多角形情報C
outは上述した判別部23で判定される。

【0104】図17に示すクリップ領域C Lは、多角形
情報Coutによって表現される奥行きを含む表示領域に
関してビューポイントから視認可能な範囲を定義したも
のである。このクリップ領域C Lは液晶表示モニタなど
の480ライン×640画素の有効表示領域に等しい。こ
のクリップ領域C Lから外れる多角形の頂点に予めク
リップ情報「1」が付加され、このクリップ領域C L内
に入っている多角形の頂点にはクリップ情報「0」が付
加される。

【0105】つまり、図18に示す対応図はスクリーン
座標系x s, y sにおいて、仮想表示面を井桁に分割し
たものである。この図の中央部はクリップ領域C Lであ
り、この領域内に含まれる頂点情報C inには各多角形の
頂点P 0毎にクリップ情報の一例となる4ビットのクリ
ップコード「0000」が付加される。また、クリップ
領域C Lの左上部領域①に含まれる頂点情報C inには各
頂点毎にクリップコード「1001」が付加される。

【0106】同様にして、その上部領域②に含まれる頂
点情報C inには各頂点毎にクリップコード「1000」
が付加され、その右上部領域③に含まれる頂点情報C in
には各頂点毎にクリップコード「1010」が付加され
る。更に、その左横領域④に含まれる頂点情報C inには
各頂点毎にクリップコード「0001」が付加され、そ
の右横領域⑤に含まれる頂点情報C inには各頂点毎にク
リップコード「0010」が付加される。

【0107】クリップ領域C Lの左下部領域⑥に含ま
れる頂点情報C inには各頂点毎にクリップコード「010
1」が付加され、その下部領域⑦に含まれる頂点情報C
inには各頂点毎にクリップコード「0100」が付加さ
れ、その右下部領域⑧に含まれる頂点情報C inには各頂
点毎にクリップコード「0110」がそれぞれ付加され
る。これらのクリップコード（クリップ情報）は図形情
報生成後の座標変換処理の際に頂点情報C inに付加され
る。このクリップ情報を図形情報変換後に判定するよう
にしたのは、図15で説明したように例えば、ページ曲
面を同一平面に並べて始めて、変換後の多角形情報Cout

がクリップ領域C Lに含まれるか否かが判定できるこ
とによる。

【0108】図19はクリップコードによる判定結果例
を示すイメージ図である。図19に示す斜線の三角形は
レンダリング処理がなされないものであり、白抜きの三
角形はレンダリング処理に移行されるものである。

【0109】つまり、図19に示す領域①、③、④及び
⑤のみに含まれる三角形「イ」と、三角形「ハ」～
「ホ」と、領域①、②及び③にかかっているがクリップ
領域C Lにかかっていない三角形「ロ」とは判定部23
により「レンダリング処理しない」と判定される。これ
らはレンダリング処理をしても液晶表示モニタには表示
されないの、判定部23によって当該三角形情報Cout
を除外するようになされる。

【0110】これに対して、クリップ領域C Lにかかっ
ている三角形「ト」と、領域②及び④～⑧にかかっている
ものの、クリップ領域C Lにその大部分がかかっている
三角形「ヘ」とは判定部23により「レンダリング処
理をする」と判別される。クリップ領域C Lに一部でも
かかっている三角形「ト」などは液晶表示モニタの有効
表示領域で表示されるからである。

【0111】図20はスクリーン座標系y s, z sにお
ける奥行きを考慮したクリップ領域C L'と6ビットの
クリップコードの関係例を示す対応図である。この例で
は図20に示す仮想表示空間の奥行きにスクリーン座標
系y s, z sが対応され、z s座標に関してZ=±1に
入る三角形情報Coutのみをレンダリング処理に移行す
るようになされる。三角形情報Coutは上述した判別部
23で判定される。

【0112】図20に示す対応図はスクリーン座標系y
s, z sにおいて、仮想空間を井桁に分割したものであ
る。この対応図の中央部は奥行きを考慮したクリップ領
域C L'であり、この領域内に含まれる頂点情報C inに
は各三角形の頂点P 0毎にクリップ情報の他の一例とな
る6ビットのクリップコード「0000XX」が付加され
る。また、クリップ領域C L'の前上部領域①'に含
まれる頂点情報C inには各頂点毎にクリップコード「0
110XX」が付加される。

【0113】同様にして、クリップ上部領域②'に含
まれる頂点情報C inには各頂点毎にクリップコード「00
10XX」が付加され、その後上部領域③'に含まれる
頂点情報C inには各頂点毎にクリップコード「1010
XX」が付加される。更に、その前中央領域④'に含
まれる頂点情報C inには各頂点毎にクリップコード「01
00XX」が付加され、クリップ領域C L'の後中央領域
⑤'に含まれる頂点情報C inには各頂点毎にクリップコ
ード「1000XX」が付加される。

【0114】クリップ領域C L'の前下部領域⑥'に含
まれる頂点情報C inには各頂点毎にクリップコード「01
01XX」が付加され、クリップ下部領域⑦'に含まれ

る頂点情報C_{in}には各頂点毎にクリップコード「0001XX」が付加され、その後下部領域⑧'に含まれる頂点情報C_{in}には各頂点毎にクリップコード「1001XX」がそれぞれ付加される。これらのクリップコード（クリップ情報）は図形情報生成後の座標変換処理の際に頂点情報C_{in}に付加される。

【0115】続いて、本発明に係る実施形態としての図形情報変換方法について図形情報変換装置20の動作例を説明する。図21は本発明に係る実施形態としての図形情報変換装置20の動作例を示すフローチャートである。

【0116】この例では3次の曲線図形及び曲面図形を表現するための、 $m=128$ の頂点情報C_{in}をライン走査のための三角形情報C_{out}に並び換える場合を想定する。少なくとも、U-V座標系で3次の曲面図形を表現したとき、その制御点の先端から最終端に至る長さ分（ $m=128$ ）の頂点情報C_{in}が書き込める、2ライン分のメモリ領域を展開できるスタックメモリ21'などを準備する。

【0117】この例で頂点情報C_{in}は多角形の頂点P0の座標値、色テクスチャ情報及びクリップ情報を含むものとし、多角形の各頂点毎に図18で説明したようなクリップコードが付加されているものとする。

【0118】これを前提にして、図21に示すフローチャートのステップB1で頂点情報C_{in}に関してポリゴン形状を設定する。ここで、例えば設定情報D4＝「0」を設定して三角形動作モードが選択される。その後、ステップB2で128個の頂点情報C_{in}を1ライン目のメモリ領域に書き込む。

【0119】そして、ステップB3で次の128個の頂点情報C_{in}を2ライン目のメモリ領域に書き込む。その後、予め設定された動作モードに基づいてステップB4で制御を切り換える。この例では三角形動作モードが選択されているので、ステップB5に移行して1ライン目のメモリ領域で各々隣接する2個ずつの頂点情報C_{in}と2ライン目のメモリ領域で各々隣接する2個ずつの頂点情報C_{in}とにより形成される127個の四角形を斜めに分割した254個の三角形の頂点情報C_{in}を順次読み出すようになされる（図16A参照）。

【0120】なお、予め設定された動作モードが四角形動作モードの場合には、ステップB6に移行して1ライン目のメモリ領域と2ライン目のメモリ領域の各々の頂点情報C_{in}とにより形成される127個の四角形の頂点情報C_{in}をそのまま順次読み出すようになされる（図16B参照）。

【0121】その後、ステップB7に移行してクリップ領域C_Lから外れる三角形情報C_{out}が判別部23によって判別される。この三角形情報C_{out}の判別の際に、図19で説明した三角形「ト」、「ヘ」のように頂点が1つでもクリップ領域C_L内にある場合には、当該三角

形情報C_{out}をレンダリング処理に含め、三角形「イ」～「ホ」のように、全ての頂点がクリップ領域C_L外にある場合には、当該三角形情報C_{out}をレンダリング処理から除外するようになされる。

【0122】そして、ステップB8に移行して、全ての三角形情報C_{out}の判別が終了したか否かがチェックされる。判別が全部終了していない場合にはステップB2に戻って上述した処理を繰り返すようになされる。判別が全部完了した場合には当該図形情報変換処理を終了する。

【0123】このように、本発明に係る第2の実施形態としての図形情報変換装置20によれば、3次の曲線図形及び曲面図形を表現するための頂点情報C_{in}を三角形情報C_{out}に並び換える場合に、1ライン目のメモリ領域と2ライン目のメモリ領域の各々の頂点情報C_{in}とにより形成される127個の四角形の頂点情報C_{in}をそのまま、もしくは、その四角形を斜めに分割した254個の三角形の頂点情報C_{in}を記憶装置21から順次読み出すようになされる。

【0124】従って、ソフトウェアに依存することなく、 n 次のベジエ曲線やベジエ曲面を表現する頂点情報C_{in}をハードウェアにより三角形情報C_{out}に並び換えることができる。しかも、メモリ21A、21Bといった小規模なメモリ構成によってスタックメモリなどを実現できるので、高性能かつ低消費電力動作が可能な図形情報変換装置20を提供することができる。

【0125】〔第2の画像処理装置〕図22は本発明に係る実施形態としての第2の画像処理装置200の構成例を示すブロック図である。

【0126】この例では図14で説明した図形情報変換装置の一例となる頂点並換え装置201を備え、図6で説明した第1の画像処理装置100から出力される多角形の頂点P0の法線ベクトルH_{out}及び各々の多角形の頂点情報（テクスチャデータ）C_{in}を座標変換した後、ソフトウェアに依存することなくその頂点情報C_{in}を並び換え、その後、ライン走査のための画像処理をするようにしたものである。

【0127】図22に示す第2の画像処理装置200は、第1の実施形態で生成された n 次の曲面図形を画像処理するものである。この装置200には第1の画像処理装置100が設けられ、 n 次の曲面図形を表現するための頂点の座標値を生成するようになされる。画像処理装置100には第1の実施形態で説明した図形情報生成装置が使用される。その内部構成例については図1及び図12で説明しているのでその説明を省略する。

【0128】この画像処理装置100にはライティング処理部25と座標変換&クリップコード付加部24とが接続されている。ライティング処理部25では図12に示した演算器（外積）7から得られる頂点P0の法線ベクトル \mathbf{z} と、予め設定された光源ベクトルとの内積（ c

os θ)を演算して光色を算出するようになされる。例えば、n次のベジェ曲面の頂点P0の法線ベクトルと光源ベクトルとが一致($\theta=0$ 又は 180°)したときに、その頂点P0が一番明るくなるような輝度を演算するようになされる。

【0129】また、座標変換&クリップコード付加部24では、画像処理装置100によるポリゴン描画命令に基づいて頂点P0の座標値がスクリーン座標(映像表示)系の座標値に変換されると共に、図18及び図20で説明したクリップコードが付加される。この例では、頂点情報Cinは76バイトで1ポリゴンの形状データを構成するようになされる(図23参照)。座標変換&クリップコード付加部24には頂点並換え装置201が接続されている。頂点並換え装置201はメモリ制御部22の一例となる書込みスタック22A及び読出しスタック22Bと、スタックメモリ(記憶装置)21'と、クリップ判定器(判定部)23'とを有している。なお、ライティング処理部25の出力は頂点並換え装置201をスルーしてラスターライズ処理部26に至るようになされる。

【0130】スタックメモリ21'には、少なくとも、図14に示したような2ライン分のメモリ21A、21Bを有して頂点情報Cinが記憶される。書込みスタック22Aでは座標変換されたm個の頂点情報Cinを順次スタックメモリ21'の1ライン目に書き込むと共に、次のm個の頂点情報Cinを2ライン目に書き込むようになされる。読出しスタック22Bでは1ライン目で各々隣接する2個ずつの頂点情報Cinと2ライン目で各々隣接する2個ずつの頂点情報Cinとにより形成されるm-1個の四角形を斜めに分割した、図16で説明したような2(m-1)個の三角形情報Coutをスタックメモリ21'から順次読み出すようになされる。

【0131】スタック読出し器22Bにはクリップ判定器23'が接続され、図19で説明したようなクリップ領域CLから外れる三角形情報Coutを判定するようになされる。クリップ判定器23'では予め三角形の各々の頂点毎に付加されたクリップコードが入力され、これらのクリップコードの三入力AND論理が演算され、三角形の頂点P0が1つでもクリップ領域CL内にある場合には、当該三角形情報Coutをレンダリング処理に含め、これら三角形の全ての頂点がクリップ領域CL外にある場合には、当該三角形情報Coutをレンダリング処理から除外するようになされる。

【0132】上述したライティング処理部25及びクリップ判定器23'にはラスターライズ処理部26が接続され、座標変換後の頂点情報Cinが1ポリゴン毎にラスターライズ処理され、1画素のカラーテキストアドレス(U, V)が算出される。スクリーン座標系においてライン走査するためである。

【0133】続いて、図23~図26を参照しながら、

第2の画像処理装置200の動作例について説明をする。図23は1ポリゴン(三角形)の形状データの記録内容例を示すデータフォーマットである。

【0134】この例で図23に示す頂点情報Cinは、図24に示すような三角形の1ポリゴンの形状データを76バイトで構成するようになされる。つまり、1ポリゴンは図24に示す3つの頂点1, 2, 3を有する三角形により表現され、形状データの先頭には図23に示すテキストアドレスが記述され、その後には、三角形の第1頂点のX、Y、Z座標が各々の記述されると共に、第1頂点のカラー値、テキストU、V座標が記述される。

【0135】これに続いて第2頂点のX、Y、Z座標が各々の記述されると共に、第2頂点のカラー値、テキストU、V座標が記述される。更に、第3頂点のX、Y、Z座標が各々の記述されると共に、第3頂点のカラー値、テキストU、V座標が記述される。これらの頂点情報Cinはユーザーの操作に応じて図16で説明したような三角形の頂点1, 2, 3を繋ぎ合わせるように連続される。

【0136】この例では、一方で、第1の画像処理装置100から出力される、n次の曲面図形を表現するための多角形の頂点P0の法線ベクトルHoutをライティング処理し、他方で各々の多角形の頂点情報Cinを座標変換した後に、ソフトウェアに依存することなく、その頂点情報Cinを並び換え、その後、ライン走査のための画像処理をする場合を想定する。

【0137】つまり、連続された頂点情報Cinは1頂点毎に座標変換される。座標変換後の頂点情報Cinは、図25に示す1ポリゴン毎にラスターライズ処理を行って1画素毎にカラーテキストアドレス(U, V)が算出される。その後、テキストアドレスにより指示される頂点情報CinからU、V座標のテキストカラーが読み出され、各々の画素のカラー値が決定され、このカラー値に基づいて液晶表示モニタなどに3次元映像画像が表示される。なお、n次の曲面図形の各々の頂点の座標値は第1の画像処理装置100によって生成されるものとする。

【0138】これを前提にして、図26に示すフローチャートのステップE1で第1の画像処理装置100から座標変換&クリップコード付加部24へ描画リストD2が転送される。その後、座標変換&クリップコード付加部24ではステップE2で描画リストD2に基づいて1頂点毎に頂点情報Cinがスクリーン座標系の座標値に変換される。この座標変換&クリップコード付加部24により座標変換された頂点情報Cinは、上述した頂点並換え装置201により、ライン走査のための三角形情報Coutに並び換えられる。

【0139】そして、ステップE3で1ポリゴン毎にラスターライズ処理部26へ転送される。このラスターライズ処理部26では、1ピクセル(X, Y)毎のZ値、カラ

ー値 (R_f , G_f , B_f)、テクスチャアドレス (U , V) が算出される。その後、 U , V 座標系のテクスチャカラー値 (R_t , G_t , B_t) が読み出される。そし *

$$R = R_f \times R_t, G = G_f \times G_t, B = B_f \times B_t \cdots (10)$$

【0140】その後、ステップE7に移行して奥行き情報であるZ値が比較される。Z値が図20に示したようにクリップ領域の手前にある場合には三角形情報Coutの書込みを行う。Z値がクリップ領域の後方にある場合には液晶表示モニタに表示されないで、その書込みを行わないようになされる。その後、ステップE9に移行して三角形情報Coutの書込みが全部終了したか否かが

チェックされる。全部書込みを終了した場合には、当該画像処理を終了する。当該三角形情報Coutの書込みを全部終了していない場合にはステップE1に戻って上述した処理を繰り返すようになされる。

【0141】このように、本発明に係る実施形態としての第2の画像処理装置200によれば、ソフトウェアに依存することなく、スタック書込み器22Aによってm個の頂点情報Cinが1ライン目のメモリ領域に書き込まれると共に、次のm個の頂点情報Cinが2ライン目のメモリに書き込まれ、その後、1ライン目のメモリで各々隣接する2個ずつの頂点情報Cinと2ライン目のメモリで各々隣接する2個ずつの頂点情報Cinとにより形成される(m-1)個の四角形を斜めに分割した2(m-1)個の三角形の頂点情報Cinがスタックメモリ部21'からスタック読出し器22Bにより順次読み出すようになされる。

【0142】これにより、ハードウェアにより並び換えられた三角形情報Coutに基づいてn次のベジエ曲線やベジエ曲面を表現するような画像処理をすることができ

る。

【0143】しかも、小規模な回路構成によって頂点並換え装置201などを実現できるので、高性能かつ低消費電力動作が可能な画像処理装置200を提供することができる。また、当該画像処理装置200を組み込んだエンタテインメント装置や、携帯端末装置及び携帯電話機などを構成することができる。

【0144】(3) 実施例

図27は本発明に係る実施例としての携帯端末装置300の構成例を示すブロック図である。

【0145】この例では上述した第1の画像処理装置100と第2の画像処理装置200とを組み合わせ、情報処理装置の一例となる携帯端末装置300を構成したものである。第1及び第2の実施形態で説明した同じ符号のものは同じ機能を有するためその説明を省略する。

【0146】つまり、図27に示す携帯端末装置300は、図12に示した第1の画像処理装置100と図22に示した第2の画像処理装置200とを1チップ化したLSI回路を主要部と成し、n次の曲面図形を外部操作に基づいて情報処理をするものである。

*て、スクリーン座標系のカラー値RGBが(10)式により求められる。

【0147】図27において、一点鎖線で囲んだ第1の画像処理装置100はベジエ分割装置17、メインメモリ18、操作ボタン39、CPU40、入力コントローラ43及びROM(Read Only Memory)45などから構成され、二点鎖線で囲んだ第2の画像処理装置200は座標変換&クリップコード付加部24、ライティング処理部25、頂点並換え装置201及びラスターライズ処理部26から構成されている。

【0148】これらの構成要素の他に携帯端末装置300には、メモリコントローラ27、フレームメモリ28、液晶表示コントローラ(LCDC)29、インタフェース42、サウンドプロセスユニット(以下で単にSPUという)44などが設けられている。この例で波線で囲んだ部分が1チップに集積化されるものである。もちろん、ベジエ分割装置17や、頂点並換え装置201、SPU44などは個別にICチップ化して同一プリント基板上に実装してもよい。

【0149】図27に示すバス41にはベジエ分割装置17、メインメモリ18、CPU40、インタフェース42、入力コントローラ43、SPU44及びROM45などが接続されている。ROM45は第1及び第2の実施形態で接続した制御手順や、メインメモリ18、SPU44等の管理を行ういわゆるオペレーティングシステム等のプログラム情報を格納したものである。

【0150】この例で、インタフェース42にはメモリカートリッジ30などが装着されて使用される。メモリカートリッジ30はゲームデータや、電子アニメーションなどの電子コンテンツを記録したものである。メモリカートリッジ30は例えば、バス34を有しており、このバス34にインタフェース31、読出しコントロール用のマスクROM32及びコンテンツ記録用のEEPROM33などが接続されている。EEPROM33にはゲームデータなどのプログラム情報や映像素材情報が記録されている。

【0151】このメモリカートリッジ30の内容はインタフェース42及びバス41を通してメインメモリ18に転送される。メモリカートリッジ30から転送されてきたゲームキャラクタの、例えば、第1の実施形態で説明したn次のベジエ曲面やベジエ曲線などを生成するための制御点の座標値が記憶される(図13参照)。メインメモリ18にはランダムアクセスメモリ(RAM: Random Access Memory)からなる。ここでいうメインメモリ18は、そのメモリ上でプログラムを実行できるものをいう。

【0152】このメインメモリ18にはバス41を通してベジエ分割装置17が接続され、メインメモリ18か

ら読み出した制御点の座標値に基づいて n 次の曲面図形を画像処理するようになされる。ベジエ分割装置17は第1の実施形態で説明した浮動小数点の線形補間器を有しており、23ビット幅の制御点の座標値 A 、 B と、8ビット幅で $0 \leq t \leq 1$ の値をとる補間係数 t とに基づき、これらの制御点間を内分する新たな制御点の座標値に関して $A \times (1-t) + B \times t$ を順次演算するようになされる。線形補間器の内部構成例及びその機能については図4で説明した通りであるのでその説明を省略する。これらの制御手順はROM45に記述されており、アプリケーション実行時にCPU40によって読み出される。

【0153】上述のバス41にはベジエ分割装置17を制御するために入力コントローラ(INTC)43が接続され、この入力コントローラ43には操作ボタン39が装備されている。この操作ボタン39はユーザによって操作される。操作ボタン39を操作すると入力コントローラ43で操作情報D3が発生され、この操作情報D3はバス41を通してCPU40に入力するようになされる。CPU40は操作情報D3に基づいてメインメモリ18から頂点情報Cinを読み出すと共に、この頂点情報Cinに関して、その曲線図形及び曲面図形を変化させるような表示制御を実行するようになされる。

【0154】CPU40はROM45に記憶されているオペレーティングシステムを実行することにより、この携帯端末装置300の全体を制御するもので、例えば、32ビットのRISC-CPUから成る。そして、この携帯端末装置300は電源が投入されると、ゲームモード又は番組再生モードに応じてCPU40がROM45に記憶されているオペレーティングシステムを実行することにより、CPU40がベジエ分割装置17や、SPU44等の制御を行うようになっている。このCPU40は割込み制御を行うので、制御負担を軽減するために、ダイレクトメモリアクセス(DMA: Direct Memory Access)転送用の制御装置を別に設けるようにしてもよい。

【0155】このベジエ分割装置17にはライティング処理部25と座標変換&クリップコード付加部24とが接続されている。ライティング処理部25ではCPU40からの演算要求に応じて、図12に示した演算器(外積)7から得られる頂点P0の法線ベクトル z と、予め設定された光源ベクトルとの内積($\cos \theta$)を演算して光色を算出するようになされる(光源計算)。

【0156】また、座標変換&クリップコード付加部24では、ポリゴン描画命令に基づいて頂点P0の座標値がスクリーン座標(映像表示)系の座標値に変換されると共に、図18及び図20で説明したクリップコードが頂点情報Cinに付加される。この例でも、頂点情報Cinは76バイトで1ポリゴンの形状データを構成するようになされる(図23参照)。この座標変換&クリップコ

ード付加部24にはジオメトリトランスファエンジン(GTE: Geometry Transfer Engine)などの並列演算器が用いられ、CPU40からの演算要求に応じて座標変換、行列あるいはベクトル等の演算処理が高速に行われる。具体的には、この並列演算器により、例えば1つの三角形のポリゴンに同じ色で描画するフラットシェーディングを行う演算の場合では、1秒間に最大150万程度のポリゴンの座標演算を行うことができ、これによって、この携帯端末装置300では、CPU40の負荷を低減するとともに、高速な座標演算を行うことができる。

【0157】この座標変換&クリップコード付加部24には頂点並換え装置201が接続され、少なくとも、図14に示したような2ライン分のメモリ21A、21Bを有して頂点情報Cinが記憶される。頂点並換え装置201にはグラフィックプロセッサユニット(GPU: Graphic Processing Unit)などが使用され、CPU40からの描画指示に従って頂点並び換えが行われる。頂点並換え装置201では座標変換された m 個の頂点情報Cinを順次1ライン目のメモリ領域に書き込むと共に、次の m 個の頂点情報Cinを2ライン目のメモリ領域に書き込むようになされる。その後、1ライン目で各々隣接する2個ずつの頂点情報Cinと2ライン目で各々隣接する2個ずつの頂点情報Cinとにより形成される $m-1$ 個の四角形を斜めに分割した2($m-1$)個の三角形情報Coutを順次読み出すようになされる。

【0158】更に、頂点並換え装置201では図19で説明したようなクリップ領域CLから外れる三角形情報Coutを判定するようになされる。三角形の頂点P0が1つでもクリップ領域CL内にある場合には、当該三角形情報Coutをレンダリング処理に含め、これら三角形の全ての頂点がクリップ領域CL外にある場合には、当該三角形情報Coutをレンダリング処理から除外するようになされる。

【0159】この頂点並換え装置201にはラスターライズ処理部26が接続され、座標変換後の頂点情報Cinが1ポリゴン毎にラスターライズ処理され、1画素のカラーテクスチャアドレス(U、V)が算出される。このラスターライズ処理部26にはメモリコントローラ27を通してフレームメモリ28が接続され、このメモリコントローラ27にはLCD29を通して液晶表示モニタ36が接続されている。

【0160】メモリコントローラ27ではラスターライズ処理部26からフレームメモリ28へ液晶表示モニタ36の1画面分の表示データが書き込まれる。例えば、メモリコントローラ27は、CPU40からの描画命令に従って、フレームメモリ28に対して多角形(ポリゴン)等の描画を行う。このメモリコントローラ27は、1秒間に最大36万程度のポリゴンの描画を行うことができるようになっている。さらに、このフレームメモリ

28は、いわゆるデュアルポートRAMからなり、メモリコントローラ27からの描画処理と、表示のための読み出しとを同時に行うことができるようになっている。

【0161】このフレームメモリ28は、例えば1Mバイトの容量を有し、それぞれ16ビットの、横が1024画素、縦が512画素からなるマトリックスとして扱われる。また、このフレームメモリ28には、映像出力として展開される表示領域の他に、メモリコントローラ27がポリゴン等の描画を行う際に参照するカラーlookupアップテーブル（CLUT: Color Look Up Table）が記憶されるCLUT領域と、描画時に座標変換されてメモリコントローラ27によって描画されるポリゴン等の中に挿入（マッピング）される素材（テクスチャ）が記憶されるテクスチャ領域が設けられている。これらのCLUT領域とテクスチャ領域は、表示領域の変更等に従って動的に変更されるようになっている。

【0162】なお、このメモリコントローラ27はラスタライズ処理部26と共に、上述のフラットシェーディングの他にポリゴンの頂点の色から補完してポリゴン内の色を決めるグーローシェーディングと、このテクスチャ領域に記憶されているテクスチャをポリゴンに張り付けるテクスチャマッピングを行うことができるようになっている。これらのグーローシェーディングまたはテクスチャマッピングを行う場合には、この座標変換&クリップコード付加部24は、1秒間に最大50万程度のポリゴンの座標演算を行うようになされる。

【0163】上述のメモリコントローラ27からの表示データはLCD29で映像出力信号φvに変換され、この映像出力信号φvが液晶表示モニタ36に出力される。液晶表示モニタ36では例えば、3次のベジェ曲面から成るゲームキャラクタを3次元表示するようになされる。

【0164】また、SPU44ではCPU40からの指示に基づいて、ゲームや電子アニメーションに係る音声情報を再生し増幅などが行われてその音声信号がスピーカー37に出力される。SPU44内に波形データ等を記録したサウンドバッファなどを設け、楽音、効果音等を発生するようにしてもよい。サウンドバッファを設けた場合には、SPU44で、例えば16ビットの音声データを4ビットの差分信号として適応予測符号化（ADPCM: Adaptive Differential PCM）された音声データを再生（ADPCM復号機能）したり、サウンドバッファに記憶されている波形データを再生することにより、効果音等を発生（再生機能）したり、サウンドバッファに記憶されている波形データを変調させて再生（変調機能）することもできるようになる。このような機能を備えることによって、このSPU44は、CPU40からの指示によって記録された波形データに基づいて楽音、効果音等を発生するいわゆるサンプリング音源として使用することができる。

【0165】続いて、携帯端末装置300の動作例について説明をする。図28は携帯端末装置300における処理例を示すフローチャートである。この例では、ゲーム用のメモリカートリッジ30を装着してゲームモードを実行することを想定する。ゲームデータには3次のベジェ曲面により構成されるキャラクタが準備され、ベジェ分割装置17では線形補間器により制御点の座標値が分割され、頂点並換え装置では三角形動作モードにより頂点情報Cinが並び換えられることを前提とする。

【0166】これを前提にして、図28のフローチャートのステップF1でユーザは当該携帯端末装置300にメモリカートリッジ30を装着した後に、ステップF2で電源をオンする。ここで電源が投入されると、CPU40がROM45に記憶されているオペレーティングシステムを実行することにより、ベジェ分割装置17や、SPU44等の制御を行うようになされる。この例ではユーザはステップF3でゲームモードを選択する。このアプリケーション実行時にCPU40によってROM45から第1及び第2の実施形態で説明した制御手順が読み出される。

【0167】そして、一方で、ユーザはステップF4で操作ボタン39を操作する。操作ボタン39が操作されると、入力コントローラ43及びバス41を通してCPU40に操作情報D3が入力される。この操作情報D3はゲームキャラクタを構成する3次のベジェ曲面やベジェ曲線などを変形させたり、キャラクタを移動させたりするために使用される。

【0168】この操作情報D3の入力に並行して、CPU40はステップF5～ステップF10で操作情報D3に基づいてメインメモリ18から頂点情報Cinを読み出すと共に、この頂点情報Cinに関して、その3次の曲線図形及び曲面図形を変化させるような表示制御を実行するようになされる。

【0169】つまり、ステップF5ではメモリカートリッジ30からプログラム情報及び映像素材情報から成るゲームデータが読み出され、メインメモリ18に転送される。この映像素材情報には、ゲームキャラクタを構成する3次のベジェ曲面やベジェ曲線などを生成するための制御点の座標値が含まれている（図13参照）。

【0170】このゲームデータがメインメモリ18に転送されると、ステップF6に移行してベジェ分割装置17では操作情報D3に基づいてメインメモリ18から読み出した制御点の座標値に基づいて3次の曲面図形を画像処理するようになされる。例えば、ベジェ分割装置17の浮動小数点の線形補間器により、23ビット幅の制御点の座標値A、Bと、8ビット幅で $0 \leq t \leq 1$ の値をとる補間係数tとに基づき、これらの制御点間を内分する新たな制御点の座標値に関して $A \times (1 - t) + B \times t$ を順次演算するようになされる。

【0171】そして、ステップF7ではCPU40から

のポリゴン描画命令に基づいて頂点P0の座標値が座標変換&クリップコード付加部24により、スクリーン座標(映像表示)系の座標値に変換されると共に、図18及び図20で説明したクリップコードが頂点情報Cinに付加される。例えば、フラットシェーディングの場合に、1秒間に最大150万程度のポリゴンの座標演算が行われる。

【0172】これに並行してステップF8ではCPU40からの演算要求に応じてライティング処理部25により、図12に示した演算器(外積)7から得られる頂点P0の法線ベクトル z と、予め設定された光源ベクトルとの内積($\cos\theta$)を演算して光色を算出するようになる(光源計算)。

【0173】その後、ステップF9に移行してCPU40からの描画命令に応じて頂点並換え装置201では、座標変換された m 個の頂点情報Cinを順次1ライン目のメモリ領域に書き込むと共に、次の m 個の頂点情報Cinを2ライン目のメモリ領域に書き込むようになされる。その後、1ライン目で各々隣接する2個ずつの頂点情報Cinと2ライン目で各々隣接する2個ずつの頂点情報Cinとにより形成される $m-1$ 個の四角形を斜めに分割した2($m-1$)個の三角形情報Coutを順次読み出すようになされる。

【0174】更に、頂点並換え装置201では図19で説明したようなクリップ領域CLから外れる三角形情報Coutを判定するようになされる。三角形の頂点P0が1つでもクリップ領域CL内にある場合には、当該三角形情報Coutをレンダリング処理に含め、これら三角形の全ての頂点がクリップ領域CL外にある場合には、当該三角形情報Coutをレンダリング処理から除外するようになされる。

【0175】その後、ステップF10では座標変換後の頂点情報Cinがラスターライズ処理部26により、1ポリゴン毎にラスターライズ処理され、1画素のカラーテクスチャアドレス(U, V)が算出される。そして、ステップF11に移行してメモリコントローラ27ではラスターライズ処理部26からフレームメモリ28へ液晶表示モニタ36の1画面分の表示データが書き込まれる。例えば、メモリコントローラ27は、CPU40からの描画命令に従って、フレームメモリ28に対して1秒間に最大36万程度のポリゴンの多角形(ポリゴン)等の描画が行われる。

【0176】ここで、メモリコントローラ27がポリゴン等の描画を行う際に、テクスチャ領域やカラーlookupアップテーブルなどが参照され、フラットシェーディング処理、グーローシェーディング処理、テクスチャマッピング処理等を行うようになされる。この映像表示処理による表示データはLCD29で映像出力信号 ϕ_v に変換され、この映像出力信号 ϕ_v が液晶表示モニタ36に出力される。液晶表示モニタ36では例えば、3次の

ベジエ曲面から成るゲームキャラクタを3次元表示するようになされる。この映像表示処理に伴う音声情報はCPU40からの指示に基づいて、SPU44により再生され増幅され、その音声信号がスピーカー37に出力される。これにより、ユーザは携帯端末装置300でゲームを楽しむことができる。

【0177】なお、ゲームが終わると、ステップF12に移行してゲームモードを終了するか否かがCPU40により判断される。ゲームモードを終了する場合には、電源オフ情報などがCPU40により検出されるので、これらの情報処理を終了する。ユーザがゲームモードの繰り返しなどを操作ボタン39を操作してCPU40に指示した場合には、ステップF4及びステップF5に戻って、上述したステップF4～ステップF11が繰り返される。これにより、ユーザは携帯端末装置300で何度もゲームを楽しむことができる。

【0178】このように、本発明に係る実施例としての携帯端末装置300によれば、第1及び第2の画像処理装置100、200が応用されるので、ソフトウェアに依存することなく、外部からの操作情報D3とハードウェアにより処理された三角形情報Coutとに基づいてゲームキャラクタなどのベジエ曲面を高速に情報処理することができる。

【0179】このベジエ曲面を小規模なハードウェアによって処理することができるだけでなく、同時に後段のライティング処理部25で必要な法線ベクトルも算出することができる。また、クリップ判定を頂点並び換えと同時に簡単に行うことができ、クリップ領域CLの一部でも入る可能性のない三角形情報Coutを除去できる。

【0180】従って、無駄な三角形情報Coutをレンダリング処理しなくても済み、当該携帯端末装置300の性能を向上させることができる。これにより、今まで、曲面処理が困難であった携帯端末装置300等でベジエ曲面処理を導入することができる。

【0181】しかも、ベジエ分割装置17を構成する線形補間器を小規模な回路構成によって実現できるし、小規模なメモリ構成によって頂点並換え装置201を実現できる。従って、高性能かつ低消費電力動作が可能な携帯端末装置300や、ゲーム機能付きの携帯電話機を提供することができる。

【0182】また、本実施例に係るROM45によれば、ベジエ分割装置17や頂点並換え装置201を制御手順に基づいてタイミング良く制御できるので、 n 次の曲面図形を全てハードウェアで処理・描画することが可能となる。ソフトウェアによるオーバーヘッドが無くなるので、非常に高性能な携帯端末装置300を構成することができる。

【0183】

【発明の効果】以上説明したように、本発明に係る図形

情報生成装置によれば、水平方向に $(n+1)$ 個の制御点及び垂直方向に $(n+1)$ 個の制御点を格子状に与え、この格子状の制御点から n 次の曲面図形を表現する場合に、その曲面図形の頂点の座標値を生成する線形補間器を備え、所定のビット幅の制御点の座標値 A 、 B と、所定のビット幅で $0 \leq t \leq 1$ の値をとる補間係数 t とに基づき、制御点間を内分する新たな制御点の座標値に関して $A \times (1-t) + B \times t$ を順次演算するものである。

【0184】この構成によって、ソフトウェアに依存することなく、 n 次のベジエ曲線やベジエ曲面を表現する上位所定ビット幅の頂点の座標値をハードウェアにより得ることができる。しかも、小規模な回路構成によって線形補間器を実現できるので、高性能かつ低消費電力動作が可能な図形情報生成装置を提供することができる。

【0185】本発明に係る画像処理装置によれば、上述した図形情報生成装置が応用されるので、ソフトウェアに依存することなく、ハードウェアにより生成された上位所定ビット幅の頂点の座標値を用いて n 次のベジエ曲線やベジエ曲面を表現するような画像処理を行うことができる。

【0186】この構成によって、図形情報生成装置内の線形補間器を小規模な回路構成によって実現できるので、高性能かつ低消費電力動作が可能な画像処理装置を提供することができる。

【0187】本発明に係る情報処理装置によれば、上述した画像処理装置が応用されるので、ソフトウェアに依存することなく、ハードウェアにより生成された上位所定ビット幅の頂点の座標値を外部からの操作情報に基づいて n 次のベジエ曲線やベジエ曲面を表現するような情報処理をすることができる。

【0188】従って、画像処理装置を構成する線形補間器を小規模な回路構成によって実現できるので、高性能かつ低消費電力動作が可能な、特に携帯端末装置などの情報処理装置を提供することができる。

【0189】本発明に係る図形情報生成方法によれば、水平方向に $(n+1)$ 個の制御点及び垂直方向に $(n+1)$ 個の制御点を格子状に与え、この格子状の制御点から n 次の曲面図形を表現するための頂点の座標値を生成する際に、所定のビット幅の $(n+1) \times (n+1)$ 個の制御点の座標値と、所定のビット幅で $0 \leq t \leq 1$ の値をとる補間係数 t とを入力し、この水平方向で隣接する各々2つの制御点間について、それぞれ $A \times (1-t) + B \times t$ を順次演算して $n \times (n+1)$ 個の新たな制御点の座標値を求め、最終的に $2 \times (n+1)$ 個の新たな制御点の座標値を求め、その後、垂直方向で隣接する各々2つの制御点間について、それぞれ $A \times (1-t) + B \times t$ を順次演算して $2 \times n$ 個の新たな制御点の座標値を求め、最終的に 2×2 個の新たな制御点の座標値を求め、その後、 2×2 個の制御点間について、その水平方向及び垂

直方向に関してそれぞれ $A \times (1-t) + B \times t$ を順次演算し、この頂点の座標値を求めるようになされる。

【0190】この構成によって、ソフトウェアに依存することなく、 n 次のベジエ曲線やベジエ曲面を表現する上位所定ビット幅の頂点の座標値をハードウェアによって得ることができる。しかも、この方法によって実現される図形情報生成装置や、画像処理装置、情報処理装置などにおいて、小規模な回路構成にまとめられた線形補間器を使用することができる。

【0191】本発明に係る記録媒体によれば、水平方向に $(n+1)$ 個の制御点及び垂直方向に $(n+1)$ 個の制御点を格子状に与え、この格子状の制御点から n 次の曲面図形を表現する場合に、その曲面図形の頂点 $P0$ の座標値を生成する制御手順が記述されて成るものである。

【0192】この構成によって、図形情報生成装置や、画像処理装置、情報処理装置などに内蔵される線形補間器を記録媒体に記録された制御手順に基づいて再現性良く制御できるので、 n 次のベジエ曲線やベジエ曲面を表現する上位所定ビット幅の頂点の座標値をハードウェアにより発生させることができる。

【0193】この発明は、ベジエ曲線やベジエ曲面などの図形情報を取り扱うCAD及びCAMシステムを導入したエンタテインメント装置や、携帯用ゲーム機、携帯端末装置及び携帯電話機などに適用して極めて好適である。

【図面の簡単な説明】

【図1】本発明に係る第1の実施形態としての図形情報生成装置10の構成例を示すブロック図である。

【図2】頂点の座標値生成時の $(n+1) \times (n+1)$ 個の制御点 $p0 \sim pn(n+2)$ の配置例を示す図である。

【図3】浮動小数点による座標値のデータフォーマット例を示す図である。

【図4】線形補間器1の内部構成例を示すブロック図である。

【図5】 $U-V$ 座標系における 4×4 個の制御点 $p0 \sim p15$ の配置例を示す図である。

【図6】3次のベジエ曲面の図形例を示すイメージ図である。

【図7】 A 及び B は3次のベジエ曲面図形の頂点の座標値の生成例(その1)を示す遷移図である。

【図8】 A 及び B は3次のベジエ曲面図形の頂点の座標値の生成例(その2)を示す遷移図である。

【図9】 $A \sim C$ は3次のベジエ曲面図形の頂点の座標値の生成例(その3)を示す遷移図である。

【図10】図形情報生成装置10における動作例を示すフローチャートである。

【図11】 $A \sim C$ は3次のベジエ曲面図形の頂点 $P0$ の法線ベクトルの生成例を示す遷移図である。

【図 12】本発明に係る実施形態としての第 1 の画像処理装置 100 の構成例を示すブロック図である。

【図 13】メインメモリ 18 の記録内容例を示すイメージ図である。

【図 14】本発明に係る第 2 の実施形態としての図形情報変換装置 20 の構成例を示すブロック図である。

【図 15】 $m = 8$ における図形情報変換例を示すイメージ図である。

【図 16】A 及び B は三角形情報 Cout 及び四角形情報 Cout' の出力例を示すイメージ図である。

【図 17】液晶表示モニタなどのクリップ領域例を示す仮想表示空間のイメージ図である。

【図 18】スクリーン座標系 x_s, y_s におけるクリップ領域と 4 ビットのクリップコードの関係例を示す対応図である。

【図 19】クリップコードによる判定結果例を示すイメージ図である。

【図 20】スクリーン座標系 y_s, z_s におけるクリップ領域と奥行きコードを含めた 6 ビットのクリップコードの関係例を示す対応図である。

【図 21】本発明に係る実施形態としての図形情報変換装置 20 における動作例を示すフローチャートである。

【図 22】本発明に係る実施形態としての第 2 の画像処理装置 200 の構成例を示すブロック図である。

【図 23】1 ポリゴン（三角形）の形状データの記録内容例を示すデータフォーマットである。

【図 24】三角形形状のポリゴンの構成例を示すイメージ図である。

【図 25】三角形情報 Cout のラスタライズ処理例を示すイメージ図である。

【図 26】第 2 の画像処理装置 200 における処理例を示すフローチャートである。

*

*【図 27】本発明に係る実施例としての携帯端末装置 300 の構成例を示すブロック図である。

【図 28】携帯端末装置 300 における処理例を示すフローチャートである。

【図 29】従来例に係る 3 次のベジェ曲線の例（その 1）を示す図である。

【図 30】3 次のベジェ曲線の例（その 2）を示す図である。

【図 31】3 次のベジェ曲面の例（その 1）を示す図である。

【図 32】3 次のベジェ曲面の例（その 2）を示す図である。

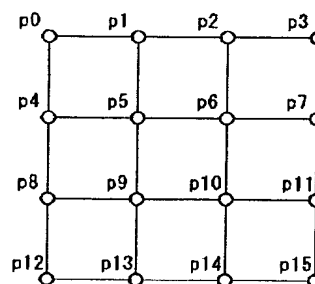
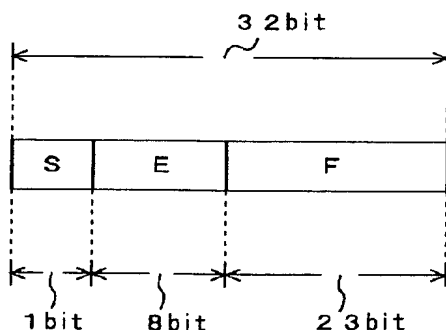
【符号の説明】

1・・・線形補間器、2, 21A, 21B・・・メモリ部、21'・・・スタックメモリ、3・・・制御点選択部、4, 4'・・・制御装置、5・・・記録媒体、5'・・・ROM（記録媒体）、6・・・図形情報生成部、7・・・演算器、10・・・図形情報生成装置、11・・・桁合わせ部、12, 13・・・乗算器、14・・・減算器、15・・・加算器、16・・・正規化部、17・・・ベジェ分割装置、18・・・メインメモリ、19・・・操作部、20・・・図形情報変換装置、21・・・記憶装置、22・・・メモリ制御部、22A・・・スタック書込み器、22B・・・スタック読出し器、23・・・判定部、23'・・・クリップ判定器、24・・・座標変換&クリップコード付加部、25・・・ライティング処理部、26・・・ラスタライズ処理部、30・・・メモリカートリッジ、36・・・液晶表示モニタ、100・・・第 1 の画像処理装置、200・・・第 2 の画像処理装置、300・・・携帯端末装置（情報処理装置）

【図 3】

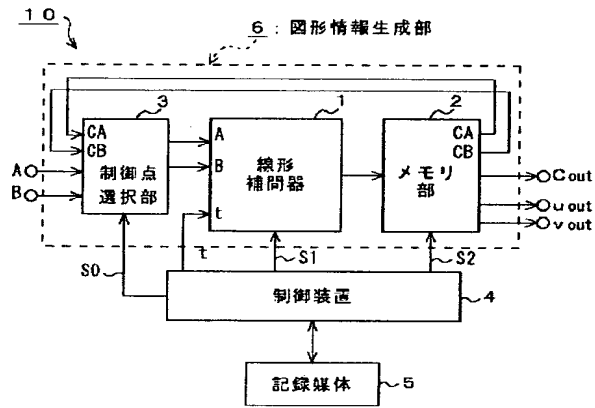
【図 5】

座標値のデータフォーマット例 4 × 4 個の制御点 P0 ~ P15 の配置例



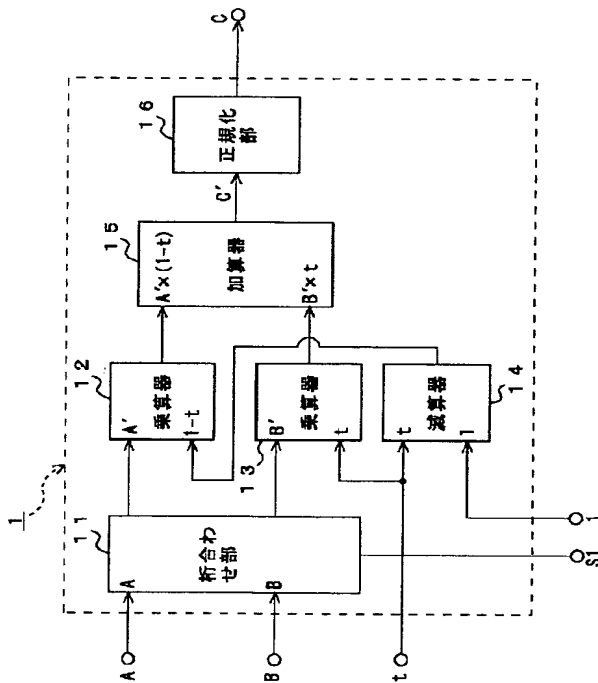
【図1】

第1の実施形態としての図形情報生成装置10の構成例



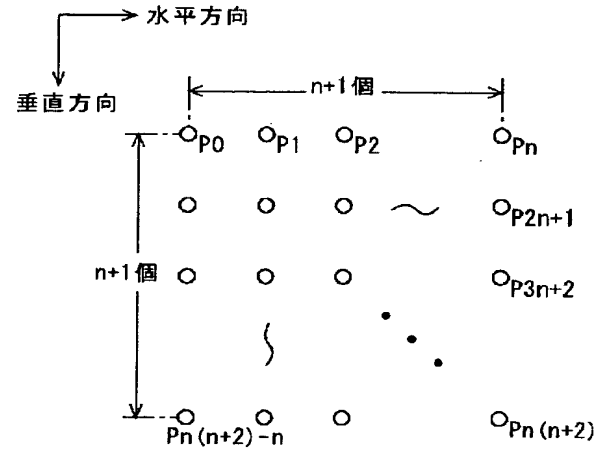
【図4】

線形補間器1の内部構成例



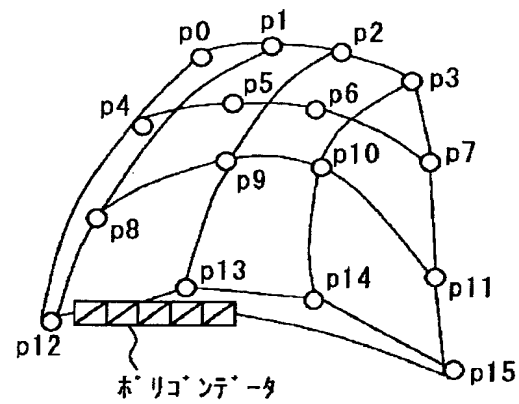
【図2】

制御点 $P_0 \sim P_{n(n+2)}$ の配置例



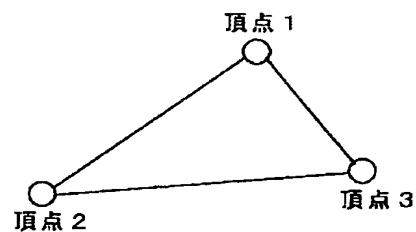
【図6】

3次のベジエ曲線の例



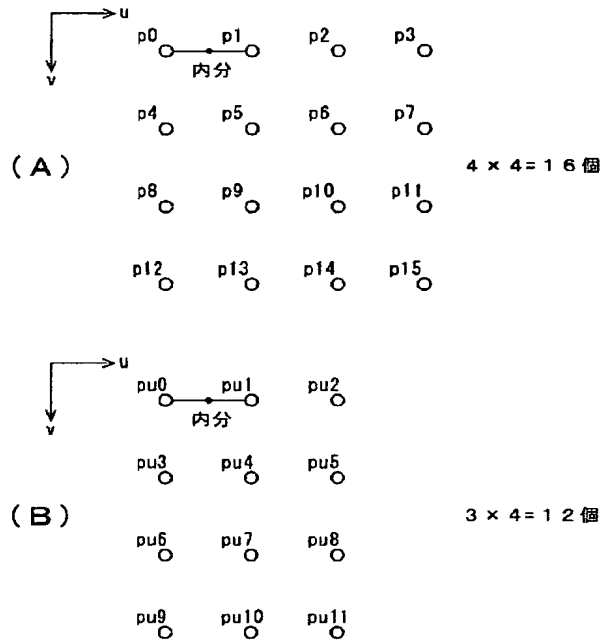
【図24】

三角形状のポリゴンの構成例



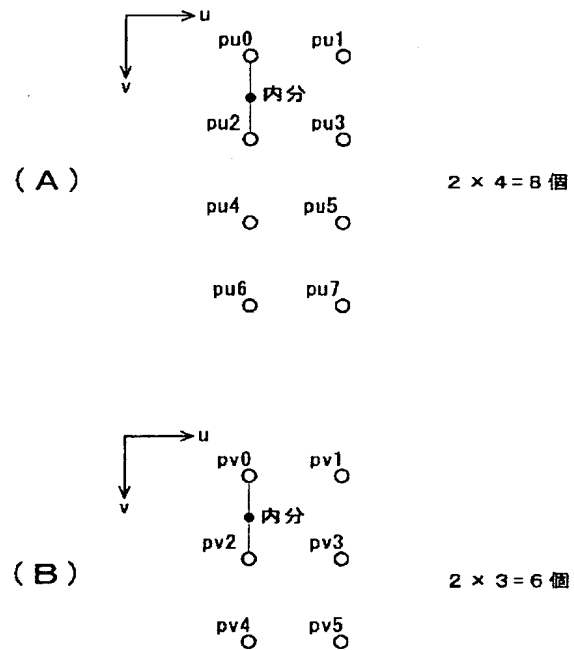
【図7】

頂点の座標値の生成例（その1）



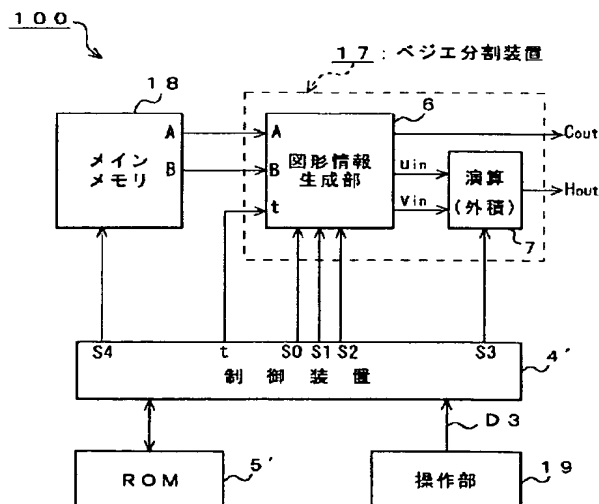
【図8】

頂点の座標値の生成例（その2）



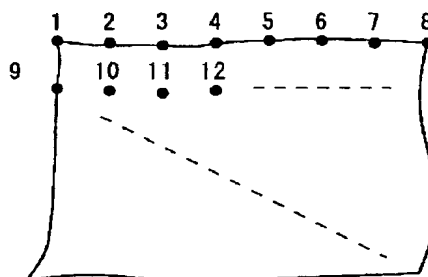
【図12】

第1の画像処理装置100の構成例



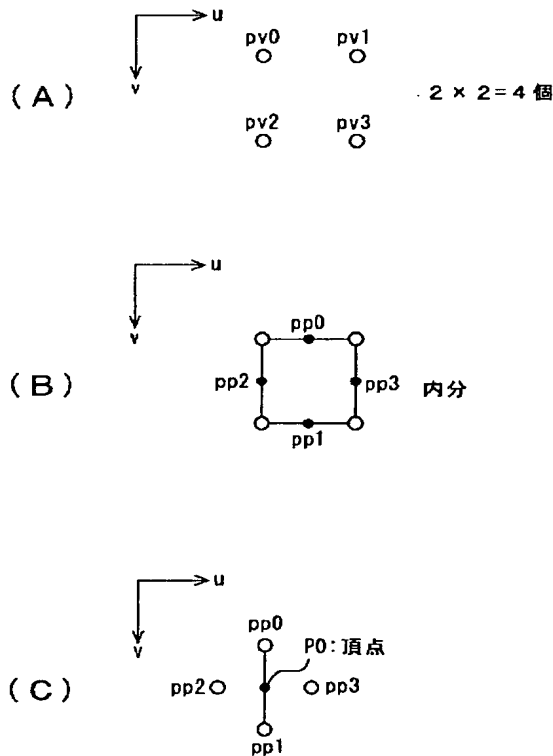
【図15】

m = 8 における図形情報変換例



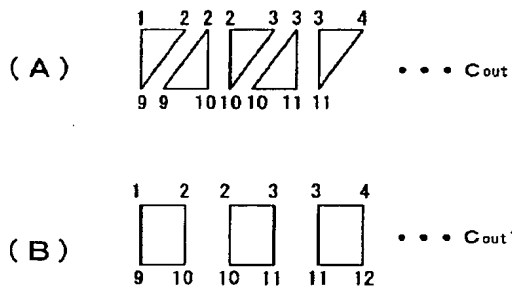
【図9】

頂点の座標値の生成例 (その3)



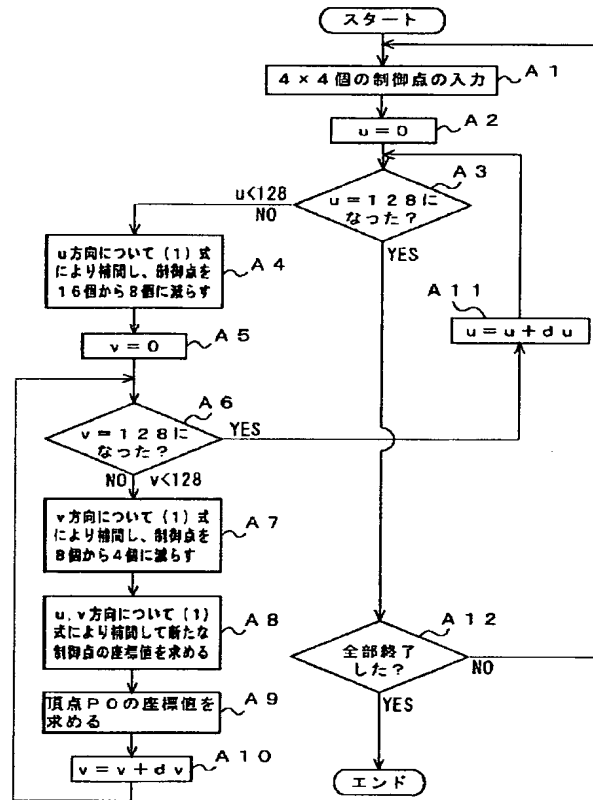
【図16】

三角形情報 Cout 及び四角形情報 Cout' の出力例



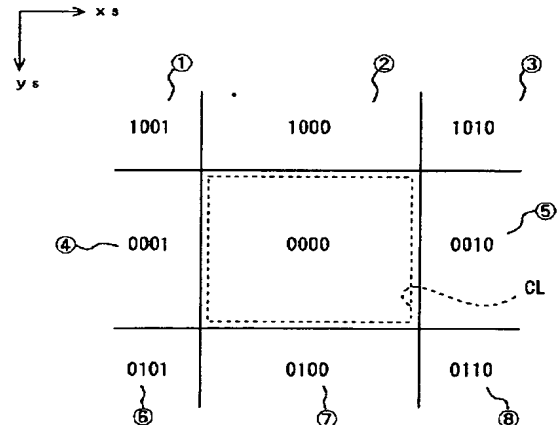
【図10】

図形情報生成装置 10 における動作例



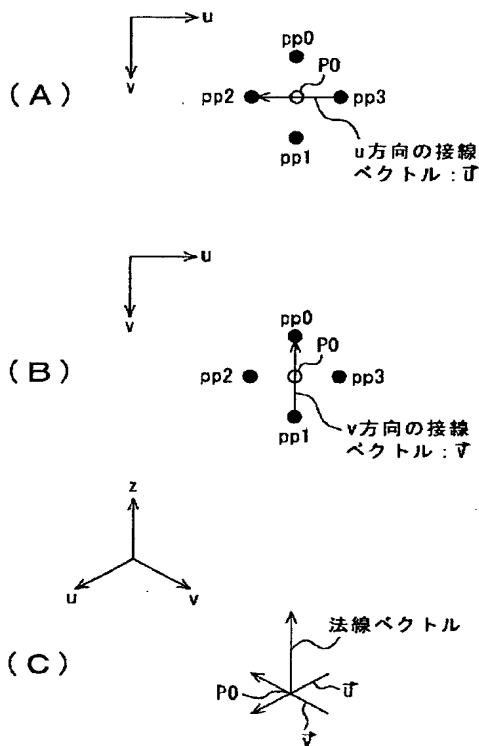
【図18】

クリップ領域と 4 ビットクリップコードの関係例



【図11】

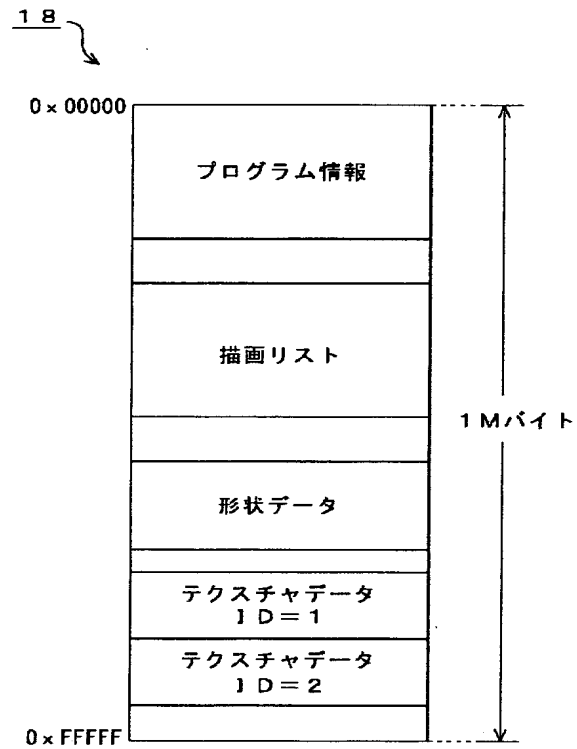
法線ベクトルの生成例



【図19】

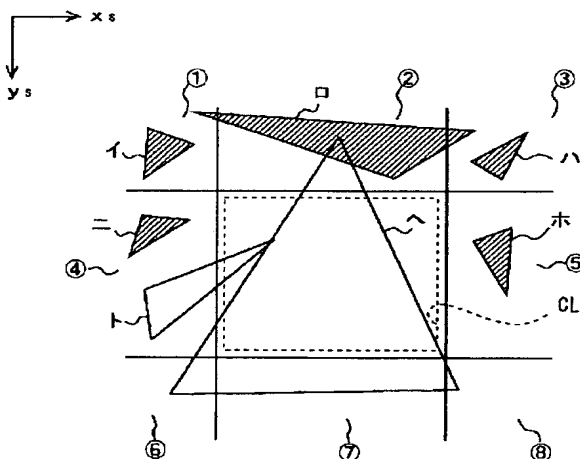
【図13】

メインメモリ18の記録内容例

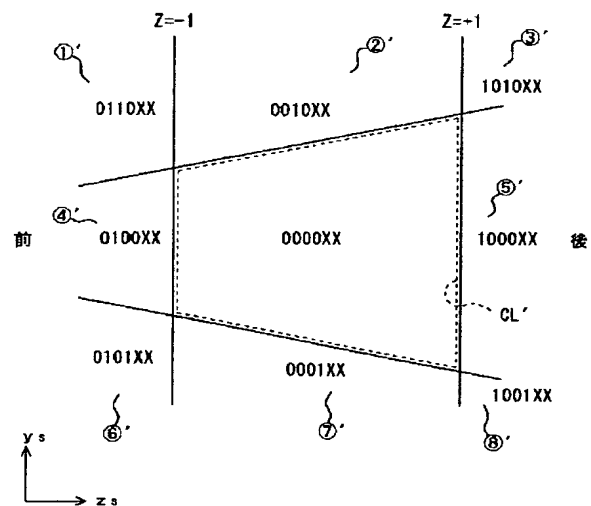


【図20】

クリップコードによる判定結果例



奥行きコードを含めた6ビットのクリップコードの例

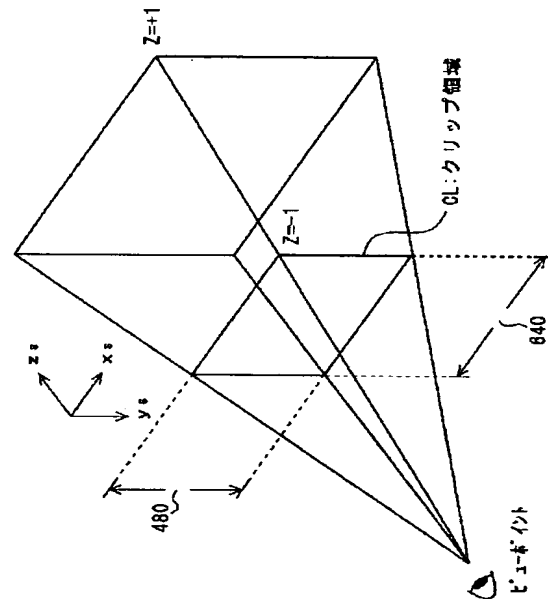
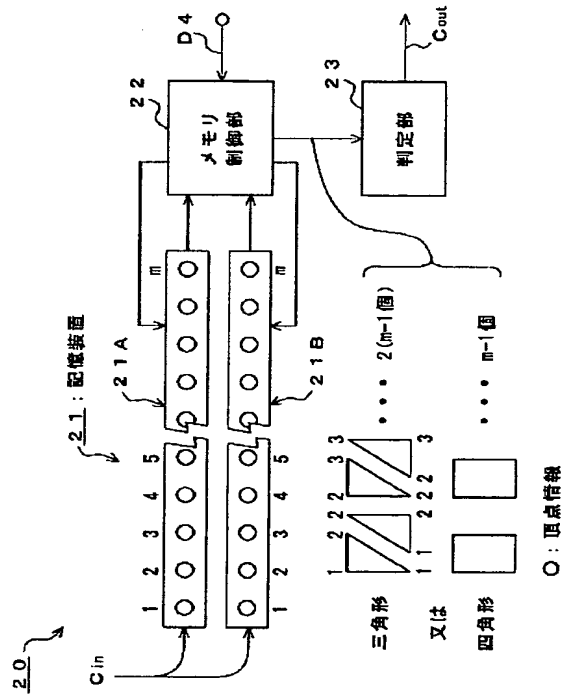


【図14】

【図17】

第2の実施形態としての図形情報変換装置
20の構成例

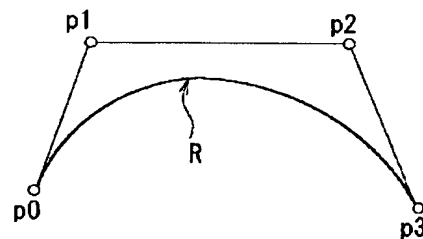
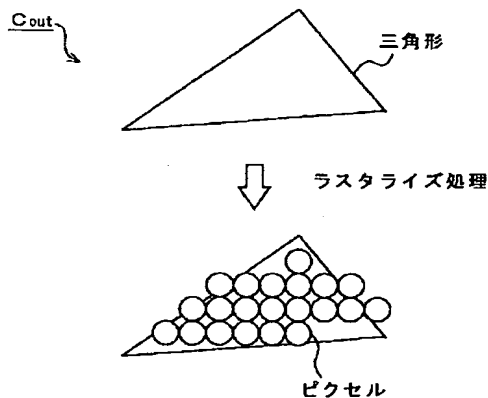
液晶表示モニタなどのクリップ領域例



【図25】

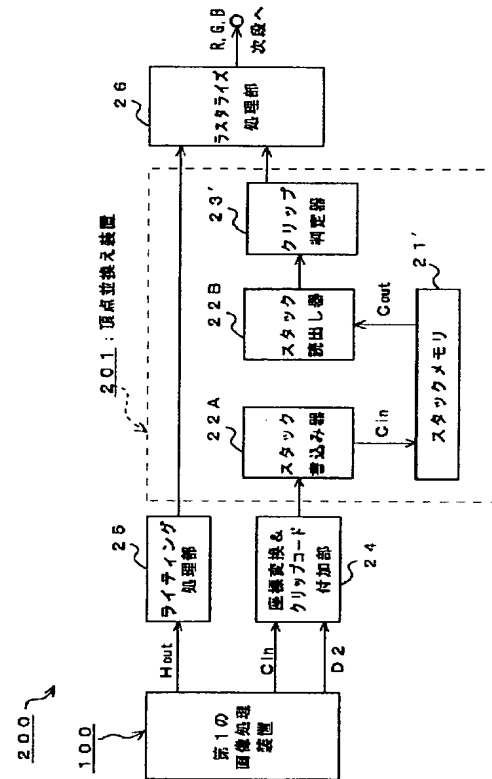
【図29】

三角形情報 Coutのラスタライズ処理例 3次ベジエ曲線の例 (その1)



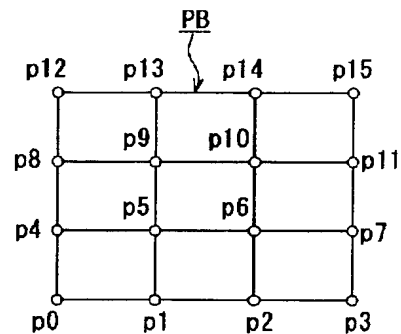
【圖 22】

第2の画像処理装置200の構成例



【図 3 1】

3 次ベジエ曲面の例 (その 1)



【図23】

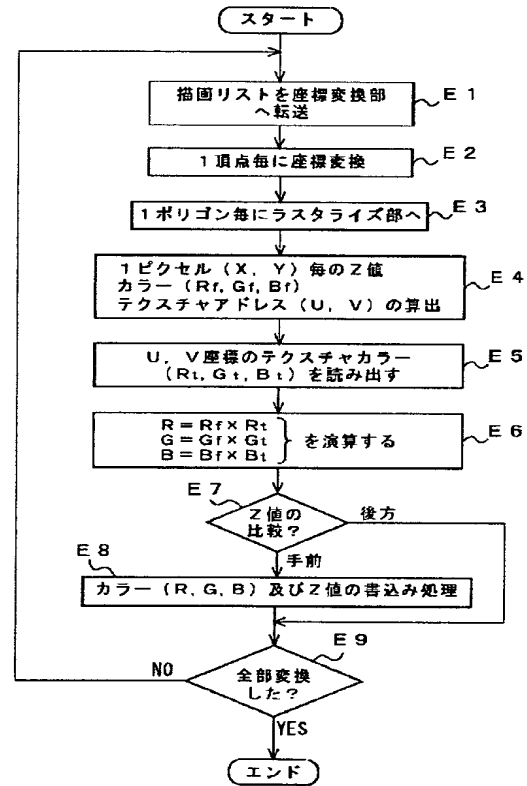
1ポリゴン（三角形）の形状データの記録内容例

テクスチャID
頂点1のX座標
頂点1のY座標
頂点1のZ座標
頂点1のカラー値
頂点1のテクスチャU座標
頂点1のテクスチャV座標
頂点2のX座標
頂点2のY座標
頂点2のZ座標
頂点2のカラー値
頂点2のテクスチャU座標
頂点2のテクスチャV座標
頂点3のX座標
頂点3のY座標
頂点3のZ座標
頂点3のカラー値
頂点3のテクスチャU座標
頂点3のテクスチャV座標

76バイト

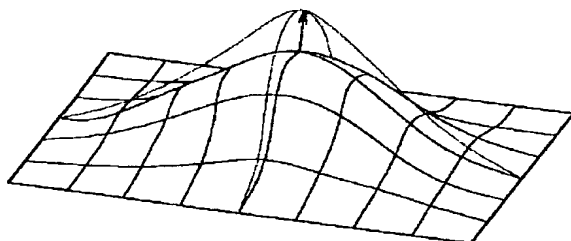
【図26】

画像処理装置200における処理例



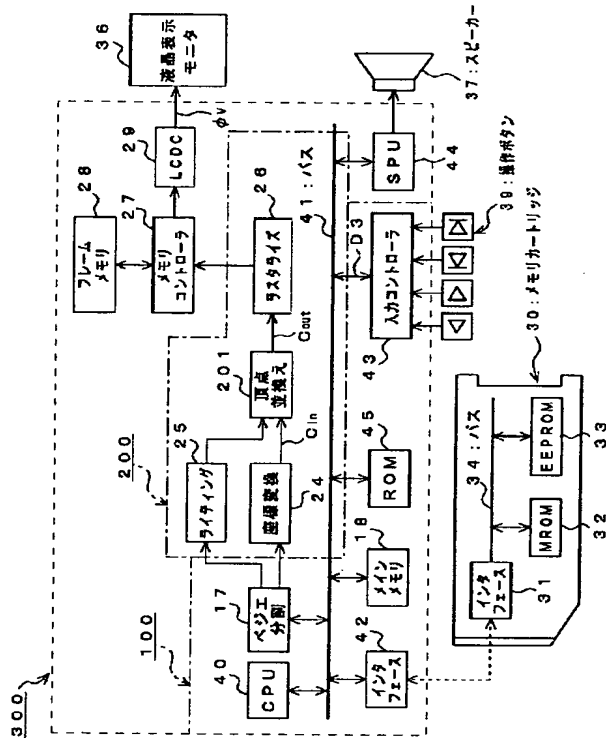
【図32】

3次ベジエ曲面の例（その2）



【図27】

携帯端末装置300の構成例



【図28】

携帯端末装置300における処理例

